

2025年中国半导体先进封装 行业研究

后摩尔时代，先进封装引领半导体创新趋势

概览标签：半导体、先进封装

China Semiconductor Advanced Packaging Industry

中国の先進半導体パッケージング業界

报告提供的任何内容（包括但不限于数据、文本、图表、图像等）均系头豹研究院独有的高度机密性文件（在报告中另行标明出处者除外）。未经头豹研究院事先书面许可，任何人不得以任何方式擅自复制、再造、传播、出版、引用、改编、汇编本报告内容，若有违反上述约定的行为发生，头豹研究院保留采取法律措施、追究相关人员责任的权利。头豹研究院开展的所有商业活动均使用“头豹研究院”或“头豹”的商号、商标，头豹研究院无任何前述名称之外的其他分支机构，也未授权或聘用其他任何第三方代表头豹研究院开展商业活动。

研究目标

研究背景

先进封装技术作为连接芯片设计与应用的关键环节，不仅能够显著提升芯片性能、降低功耗，还能够一定程度上缓解高端芯片制造工艺受限的问题。中国政府高度重视半导体产业发展，出台了一系列政策措施支持自主创新和突破，以实现半导体产业链的自主可控。在此背景下，对中国半导体先进封装行业的研究显得尤为重要。

研究目标

- 梳理不同类型先进封装技术
- 探究不同类型半导体厂商的先进封装技术布局情况

本报告的关键问题

- 先进封装技术类型，以及与传统封装的区别
- 全球IDM、Foundry、OSAT厂商对先进封装技术的布局情况
- 中国大陆OSAT厂商对先进封装技术的布局情况

观点摘要

01 全球不同类型厂商封装技术：

- ◆ 全球先进封装市场参与者包括IDM类厂商、Foundry类厂商及OSAT类厂商。头部厂商在先进封装上普遍采用“大平台+技术分支”的架构，覆盖晶圆级、2.5D/3D封装等技术，形成覆盖全场景的封装解决方案。

02 中国大陆厂商封装技术：

- ◆ 中国大陆头部OSAT厂商通过自主研发和兼并收购，已基本形成先进封装的产业化能力。中国大陆封测三大厂长电科技、通富微电和华天科技均采用平台化战略，覆盖从消费电子到AI芯片的全场景。
- ◆ 中国大陆腰部OSAT厂商聚焦传统封装技术，包括简单版本的凸块（Bumping）和晶圆级封装（WLP），以及QFN及BGA等，技术覆盖以线宽5μm以上、28nm及以上制程为主。
- ◆ 中国大陆晶圆代工厂（如中芯国际）的核心业务是晶圆制造，封测环节完全外包给专业OSAT厂商，这一模式符合行业专业化分工趋势，也契合中国大陆半导体产业“集中资源突破制造瓶颈”的战略选择。

03 全球OSAT厂商竞争格局：

- ◆ 全球OSAT三大梯队厂商形成从“尖端垄断”到“细分渗透”的技术与市场梯度，第一梯队主导高端市场，第二梯队通过区域化和专精技术渗透细分领域，第三梯队则在基础市场依托代工与合作生存。

目录

◆ 半导体封装行业综述	05
• 定义与核心作用	06
• 封装技术发展历程	07
• 内部封装 vs. 外部封装	08
• 传统封装 vs. 先进封装	09
• 先进封装的重要性	11
• 终端应用对先进封装的需求	13
• 中国半导体封装市场规模	14
◆ 先进封装厂商盘点	15
• 全球不同类型半导体厂商封装技术	16
• 中国大陆厂商封装技术	18
• 全球OSAT市场竞争格局	21
• 长电科技	23
• 通富微电	24
• 华天科技	25
• 盛合晶微	26
◆ 头豹业务合作介绍	27
◆ 方法论与法律声明	28

名词解释

- ◆ **BGA (Ball Grid Array):** 球栅阵列封装，是一种表面贴装型封装技术，使用焊球代替传统的引线进行连接，适用于I/O数目较多的集成电路。
- ◆ **Bump (凸点):** 在芯片或晶圆表面上形成的微小金属突起，用于实现芯片与封装基板或其他芯片之间的电气连接。
- ◆ **CSP (Chip Scale Package):** 芯片级封装，是一种尺寸接近于裸芯片大小的封装形式，旨在减小封装尺寸和提高性能。
- ◆ **DIP (Dual In-line Package):** 双列直插式封装，是一种传统的封装形式，具有两排引脚，适合插入插座中使用。
- ◆ **Fan-Out WLP (Fan-Out Wafer Level Packaging):** 扇外型晶圆级封装，通过重新分布层(RDL)扩展I/O接口，允许更多外部连接而不需要额外的基板。
- ◆ **FC (Flip Chip):** 倒装芯片，一种直接将芯片翻转并使用凸点与基板连接的技术，可以减少信号延迟和电感损失。
- ◆ **LGA (Land Grid Array):** 触点阵列封装，类似于BGA，但使用平面接触点而非焊球进行连接。
- ◆ **MCM (Multi-Chip Module):** 多芯片模块，是将多个芯片集成在一个封装内以提高系统集成度和性能的一种封装技术。
- ◆ **Moore (摩尔定律):** 由英特尔创始人之一戈登·摩尔提出的预测，指出集成电路中的晶体管数量大约每18到24个月会增加一倍。
- ◆ **QFN (Quad Flat No-leads Package):** 无引脚四方扁平封装，是一种表贴封装类型，特点是四周没有引脚伸出，体积小巧。
- ◆ **QFP (Quad Flat Package):** 四方扁平封装，是一种带有引脚的表面安装型封装，广泛应用于集成电路。
- ◆ **RDL (Redistribution Layer):** 重布线层，是在芯片表面上制造的一层或多层导电路径，用于改变标准芯片I/O端口的位位置。
- ◆ **SIP (System in Package):** 系统级封装，是指将多个功能组件集成在一个封装体内，形成一个完整的系统或子系统的封装技术。
- ◆ **SOP (Small Outline Package):** 小外形封装，是一种比DIP更紧凑的表面贴装封装形式。
- ◆ **TSV (Through Silicon Via):** 硅通孔技术，用于在垂直方向上连接不同层次的电路，是3D封装的关键技术之一。
- ◆ **Wafer (晶圆):** 指制造半导体器件的基本材料——硅片，其上可制造大量的集成电路。
- ◆ **WLP (Wafer Level Packaging):** 晶圆级封装，在整个晶圆阶段完成封装工艺，之后再切割成单独的芯片，有助于降低封装成本和尺寸。
- ◆ **2.5D/3D:** 指的是在封装技术中采用的三维堆叠方式，其中2.5D通常涉及中介层(interposer)用于连接不同的芯片或元件，而3D则直接在垂直方向上堆叠多个芯片。

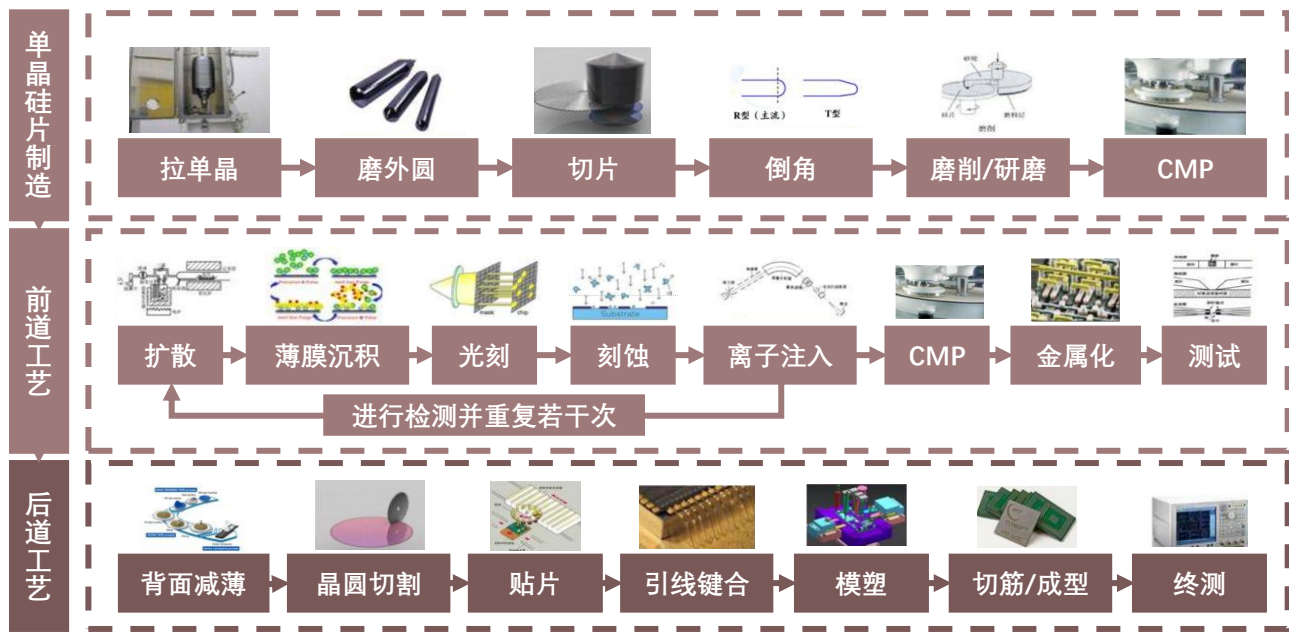
Chapter 1

半导体封装行业综述

■ 半导体封装行业综述——定义与核心作用

- 封装为半导体制造后道工艺中的核心环节，是指用特定材料、工艺技
术对芯片进行安放、固定、密封，并将芯片上的接点连接到封装外壳
上的工艺流程

半导体制造工艺流程



封装四大核心作用

作用	说明
物理保护	通过封装材料（如环氧树脂、陶瓷）将裸芯片与外界隔离，防止机械损伤（如振动、冲击）、湿气、化学腐蚀及灰尘侵入，确保芯片在复杂环境中的稳定运行。
机械支撑	封装基板（如引线框架、载板）为芯片提供坚固的物理支撑结构，避免运输、安装或使用中因外力导致的形变或破裂，提升可靠性。
电气连接	通过金属引线、焊球（如BGA）或微凸点等实现芯片内部电路与外部电路（如PCB）的电气互通，优化信号传输路径，减少延迟和干扰，保障功能正常。
散热管理	封装设计通过热传导路径（如散热片、热界面材料）将芯片热量高效导出，降低温度对性能的影响，避免过热失效，尤其适用于高功率场景（如GPU、电源管理芯片）。

- 半导体制造工艺流程可分为前道工艺和后道工艺，前道工艺主要是晶圆制造环节，后道工艺主要是封装测试环节。其中，后道工艺中的封装（Package）是指通过一系列技术手段将经过测试的集成电路裸芯片（Die）与外部电路连接，并通过封装材料进行物理保护和环境隔离，最终形成可安装、可操作的独立电子器件的过程。
- 封装的核心作用是将脆弱的晶圆切割后的裸芯片转化为具备机械强度、电气性能、散热能力及可靠性的终端产品，同时实现芯片与外部系统的兼容性与功能性接口。

来源：头豹研究院

■ 半导体封装行业综述——封装技术发展历程

- 半导体封装技术的发展大致可分为四个阶段，技术的发展演进主要围绕着提高集成度、改善电气性能、加强热管理、降低成本、实现系统级整合展开。目前全球封装技术正处于第四阶段（先进封装阶段）

半导体封装技术发展历程

直插形封装	表面贴装	面积阵列封装	三维堆叠和异构集成
1970年前 特点 将电子元器件直接焊接在电路板上，并通过引脚与电路板相连 经典类型 双列直插封装DIP	1970-1990年 特点 使用更短更细的引线代替引脚或没有引脚，将电子元件直接粘贴在PCB的表面，然后通过加热或冷凝的方式将元件固定在电路板上 经典类型 小外形封装SOP J型引脚小外形封SOJ 无引脚芯片载体LCC 扁平方形封装QFP 针栅阵列PGA	1990-2000年 特点 用体积更小的焊球代替引线，这些球形金属接触点分布在芯片的表面上，形成一种类似于网格的布局 经典类型 BGA球栅阵列 CSP芯片尺寸封装 倒装芯片封装FC	2000年至今 特点 在同一封装体内集成多个芯片，或将不同类型的芯片或器件集成在一个封装体中 经典类型 晶圆级封装WLP 系统级封装SIP 扇出型封FO 2.5D/3D封装

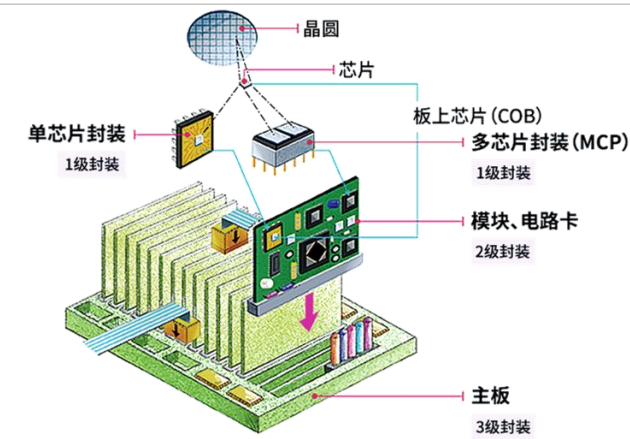
- 半导体封装技术的发展大致可分为四个阶段，分别为：1) **第一阶段（1970年前）**：主要使用直插形封装，如双列直插封装（DIP），通过引脚与电路板连接；2) **第二阶段（1970-1990年）**：引入表面贴装技术，包括多种封装形式如SOP、SOJ、LCC、QFP和PGA，通过更短更细的引线或无引脚设计实现更高的集成度；3) **第三阶段（1990-2000年）**：采用面积阵列封装，如BGA、CSP和FC，通过焊球代替引线，提高密度和可靠性；4) **第四阶段（2000年至今）**：发展到三维堆叠和异构集成，如WLP、SIP、2.5D/3D封装，进一步提升集成度和性能。
- 纵观半导体封装技术的演进思路，其核心目标是为了追求芯片小型化与高密度集成、提升电气性能、增强热管理能力、降低成本与提高生产效率。具体而言：
 - ① **小型化与高密度集成**：从早期的通孔插装（DIP）到表面贴装（SOP、QFP等），再到面积阵列封装（BGA、CSP），以及最新的3D堆叠和异构集成，封装技术一直在追求更小的体积和更高的集成度。
 - ② **提升电气性能**：随着封装技术的进步，如何减少信号延迟、降低噪声干扰、提高带宽成为了重要的考量因素。例如，倒装芯片技术和3D堆叠通过缩短芯片之间的连接路径，有效降低了信号传输延迟，提升了整体电气性能。
 - ③ **增强热管理能力**：随着芯片功耗和集成度的增加，散热问题变得越来越重要。现代封装技术，特别是那些涉及多层堆叠的技术，需要采用先进的材料和技术来确保有效的热传导和散热，以避免过热导致的性能下降或损坏。
 - ④ **降低成本与提高生产效率**：在保持高性能的同时，降低制造成本是封装技术发展的重要方向之一。例如，晶圆级封装（WLP）和扇出型封装（Fan-Out WLP）减少了传统封装所需的步骤，提高了生产效率，并有助于降低总体成本。

来源：《先进封装技术的发展与机遇》，头豹研究院

■ 半导体封装行业综述——内部封装 vs. 外部封装

- 根据工艺层级划分，半导体封装工艺分为0级到3级共四个等级。其中，0级为晶圆切割，1级为芯片级封装，2级为电子装联，3级为系统级封装；而1级封装按技术实现方式，又可分为外部封装和内部封装

半导体的封装等级，按工艺层级划分



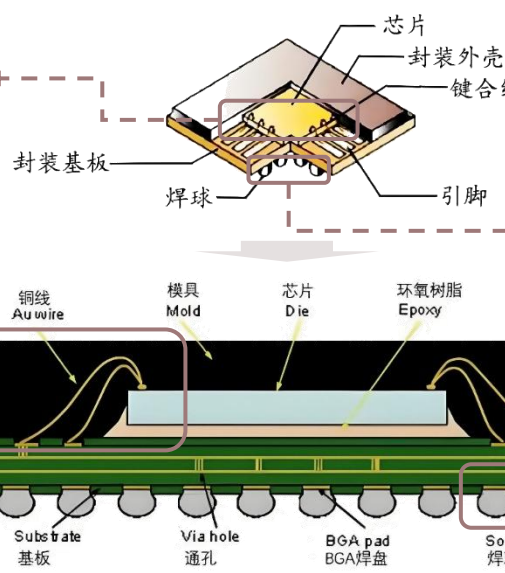
The diagram illustrates the four levels of semiconductor packaging: 0级 (Wafer Dicing), 1级 (Chip-level), 2级 (Module/PCB assembly), and 3级 (System board assembly). It shows the progression from a single wafer to a multi-chip module, then to a module on a circuit board, and finally to a system board.

- 半导体封装工艺分为0级到3级共四个等级，分别对应不同的封装阶段：
- 0级封装：晶圆切割（将晶圆切割为裸芯片，完成电极和引线的初步处理）。
- 1级封装：芯片级封装（将裸芯片封装在基板或引线框架内，实现密封保护和电气连接）。
- 2级封装：电子装联（将封装好的芯片安装到电路板或模块上）。
- 3级封装：系统级封装（将多个电路板或模块集成到最终的电子系统中）。

集成电路封装内部与外部结构（以引线键合类BGA封装结构为例）

内部封装

芯片（Die）与封装基板（Substrate，如载板或引线框架）之间的物理和电气连接，其核心是实现芯片与外部电路的信号传递；关键技术包括WB、FC等



The diagram shows a cross-section of a BGA package. The top part shows the chip (芯片) connected to the package shell (封装外壳) via wire bonds (键合线). The bottom part shows the chip connected to the substrate (封装基板) via solder balls (焊球). Labels include: 芯片, 封装外壳, 键合线, 封装基板, 焊球, 引脚 (Lead finger), 铜线 (Au wire), 模具 (Mold), 芯片 (Die), 环氧树脂 (Epoxy), 引脚 (Lead finger), Substrate 基板, Via hole 通孔, BGA pad BGA焊盘, Solder ball 焊球.

外部封装

封装基板（或引线框架）与最终电路板（PCB）之间的连接方式，决定封装产品的外形和电气接口；关键技术包括QFN、BGA、LGA、QFP等

- 在1级封装中，封装结构可分为内部封装以及外部封装。而部分晶圆级封装因为无需引线框架或导线载板，直接与PCB板连接，因此跳脱于传统内部及外部封装之分。
- 内部封装是指封装内部芯片与载体（引线框架或载板）之间的连接方式，载体则是芯片裸晶和印刷电路板（PCB）传递信号的管道。最常见的方式包括引线键合（WB, Wire Bonding）、载带自动焊（TAB, Tape Automated Bonding）及倒装封装（FC, Flip Chip），目前市场上应用最多的是引线键合（WB）和倒装封装（FC）；外部封装是指载体（引线框架或载板）与PCB间的连接形式，是我们肉眼可见的封装外形，例如QFP（四边扁平封装）、QFN（无引脚四方扁平封装）、BGA（球栅阵列封装）及LGA（触点阵列封装）等。内部封装和外部封装可根据需求组合成不同类型的封装形式，如WB BGA、FC BGA等。

来源：《Principle of Electronic Packaging》，《Design Guidelines for Cypress Ball Grid Array (BGA) Packaged Devices》，头豹研究院

■ 半导体封装行业综述——传统封装 vs. 先进封装

- 先进封装以内部封装工艺的先进性为评判标准，并以内部连接有无基板可分为基板型封装和晶圆级封装；在基板型封装中，根据有无焊线又可分为传统封装和先进封装

半导体封装体系基本架构



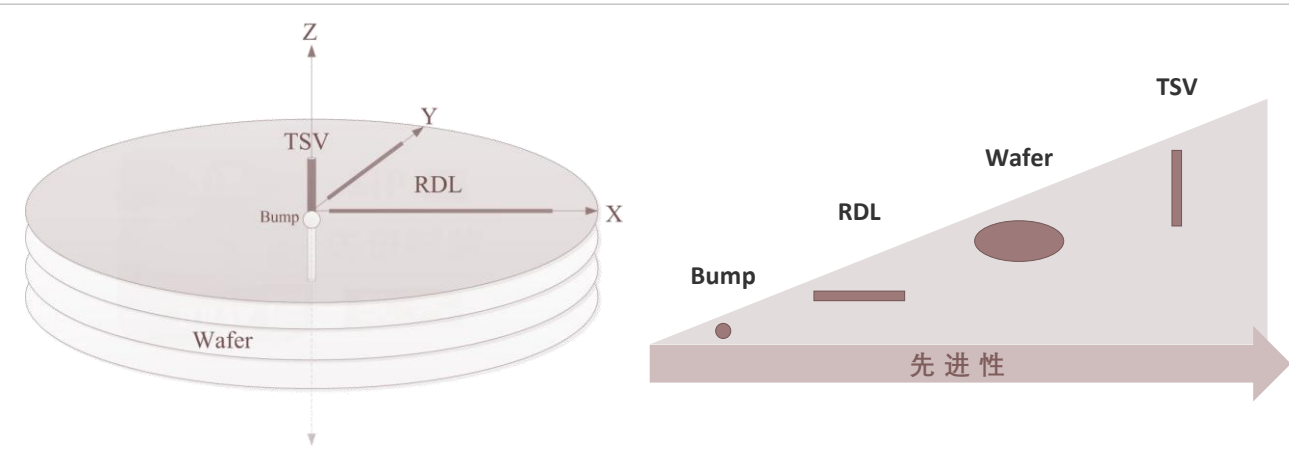
- 先进封装以内部封装工艺的先进性为评判标准，并以内部连接有无基板可分为基板型封装和晶圆级封装。在基板型封装中，根据有无焊线又可分为传统封装和先进封装。一般情况下，内部采用倒装（FC）、硅通孔（TSV）、多芯片组件技术（MCM）等先进技术，是先进封装的主要特征之一。此外，晶圆级封装本身也属于先进封装的一种。

来源：头豹研究院

（接上页——传统封装 vs. 先进封装）

- 先进封装的四要素是指RDL、TSV、Bump、Wafer，任何一款封装具备了四要素之一，都可以称作先进封装。与传统封装相比，先进封装具有小型化、轻薄化、高密度、低功耗、功能集成的优势

先进封装四要素及先进性



- 先进封装的四要素是指RDL（再布线层）、TSV（硅通孔）、Bump（凸块）、Wafer（硅晶圆），任何一款封装，如果具备了四要素中的任意一个，都可以称之为先进封装。
- 在先进封装的四要素中，**Bump**用来取代传统封装中的引线键合，主要起几面电气互联和应力缓冲的作用，当前先进封装无一例外均使用了Bump工艺；**RDL**起着XY平面电气延伸的作用，Interposer（中介层，以硅为主）也发挥相似作用，主要应用于晶圆级封装和2.5D/3D封装技术；**Wafer**作为集成电路的载体以及RDL和TSV的介质和载体，在2.5D封装中用于制作硅基板，也在WLP晶圆级封装中作为承载介质，用于在晶圆级完成RDL、凸块等封装工艺；**TSV**起着Z轴电气延伸的作用，是2.5D/3D封装技术实现的主要途径。从技术推出时间前后及先进性程度来看，排序为Bump、RDL、Wafer、TSV。

传统封装与先进封装对比

传统封装		先进封装（以Fan-out WLP和2.5D/3D为例）	
		Fan-out WLP	2.5D/3D
系统内存带宽	低	中	高
芯片能耗比	低	高	高
芯片厚度	高	低	中
芯片发热	中	低	高
封装成本	低	中	高
性能	低	中	高
形态	平面、芯片之间缺乏高速互联	多芯片、异质集成、芯片之间高速互联	

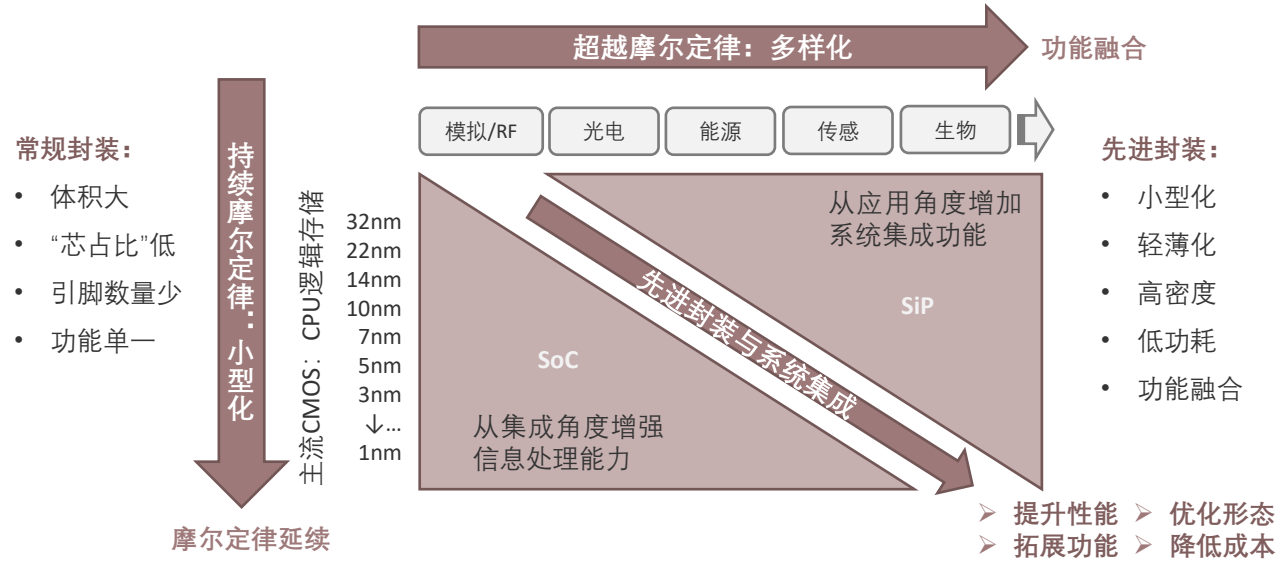
- 先进封装通过缩短I/O间距和互联长度，提高I/O密度，进而实现芯片性能的提升。相较于传统封装，先进封装拥有更高的内存带宽、能耗比、性能、更薄的芯片厚度，可实现多芯片、异质集成、芯片之间的高速互联。

来源：《SiP与先进封装技术》，《人工智能芯片先进封装技术》，头豹研究院

■ 半导体封装行业综述——先进封装的重要性

- 集成电路的发展沿着More Moore和More-than-Moore两条主要技术路线前行。其中，More-than-Moore路线旨在超越摩尔定律，利用先进封装技术在一个系统内集成多种功能，以实现系统性能的提升

集成电路发展路线



方向	先进制程	先进封装
提升芯片性能方式	通过缩小单个晶体管的特征尺寸，在保持芯片面积不变的情况下，提升晶体管的集成度（在相同设计框架下，芯片的性能/算力与晶体管数量呈正比）。	- 从系统效率提升的角度来看，一方面可以通过让CPU更靠近Memory，使得“计算”更加靠近“存储”，以此提升每次计算的存算效率； - 另一方面，在单个芯片封装内集成更多的元件也能达到这一目的。由于信号传输速度在Wafer、IC基板和PCB之间的排序为Wafer > IC Substrate > PCB，元件在芯片内部的通信效率明显高于板级通信，从而从系统层面提高整体芯片性能。
芯片轻薄化	先进制程能够在算力和晶体管数目不变时，通过缩小单个晶体管特征尺寸，实现芯片面积缩小。	由于封装技术不具备缩小晶体管尺寸的能力，只能依靠更精细的材料和更致密的结构设计来实现芯片的轻薄化。这意味着在不改变晶体管大小的情况下，通过优化封装内的材料和构造，以达到减小整体芯片厚度和重量的目的。

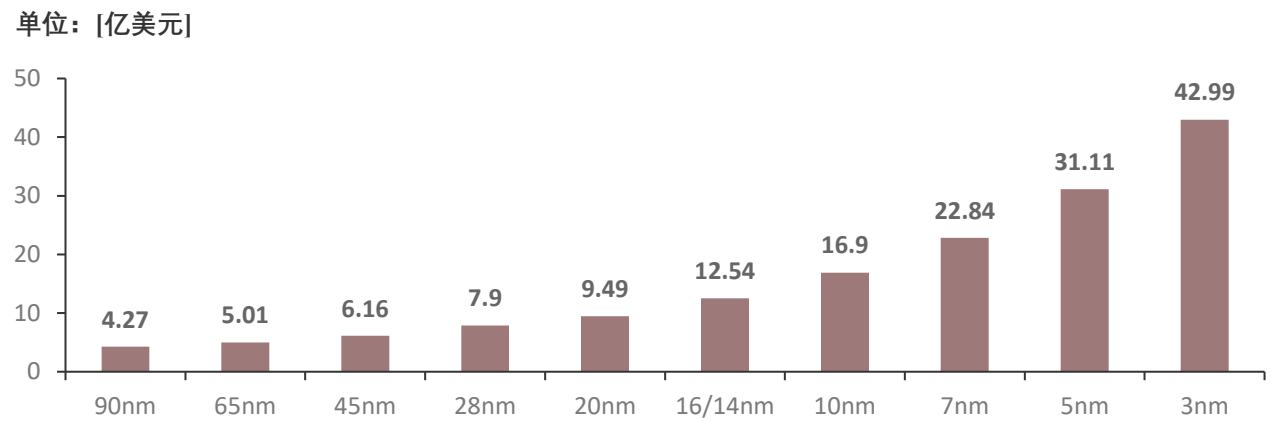
- 集成电路的发展沿着两条主要技术路线前行，即More Moore和More-than-Moore。More Moore路线专注于持续遵循摩尔定律，通过推动先进制程的进步来增加芯片上的晶体管数量，进而提升性能，其核心策略是不断缩小CMOS器件的晶体管栅极尺寸。当前，量产芯片工艺已达到3nm节点，并正向2nm节点迈进；全球仅有包括台积电、三星、英特尔和中芯国际在内的少数公司能够制造10nm以下工艺节点的芯片。另一方面，More-than-Moore路线旨在超越摩尔定律，探索多样化发展途径，利用先进封装技术在一个系统内集成多种功能，以实现系统性能的整体提升。

来源：《先进封装技术的发展与机遇》，IBS，TEL，头豹研究院

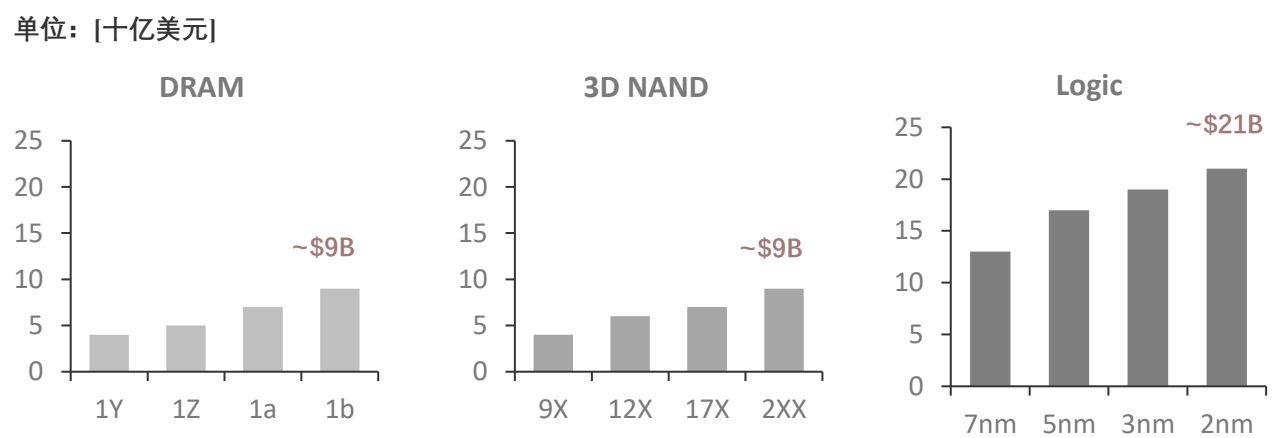
（接上页——先进封装的重要性）

- 近年来，随着先进制程逼近物理极限，通过尺寸微缩来提升芯片性能的成本呈指数级增长。先进封装能够在不缩小制程节点的背景下，仅通过改进封装方式就提升芯片性能

每万片晶圆产能对应的设备投资量



半导体制造工艺升级提高产线设备投资额



- 摩尔定律指出，集成电路上可容纳的晶体管数目大约每18到24个月就会翻一番，同时器件性能也会提升一倍。然而，近年来这一趋势有所放缓，随着先进制程逼近物理极限，通过尺寸微缩来提升芯片性能的成本呈指数级增长。在相同产能下，集成电路设备的投资量随着制程节点的进步而显著增加。据IBS数据，在5nm技术节点上，为了达到每月1万片晶圆的产能，需要超过**30亿美元**的资本支出，这是14nm工艺的**两倍以上**，是28nm工艺的**四倍左右**。对于DRAM、3D NAND和逻辑芯片等集成电路制造工艺的不断提升，对半导体设备的要求也日益增高，进一步推动了投资规模的增长。根据东京电子（TEL）的数据，当DRAM制程达到1b级别，3D NAND层数达到2XX层时，新建月产能为10万片晶圆的设施需要约**90亿美元**的投资；而对于采用2nm工艺的逻辑芯片，晶圆制造设备的投资额则可能高达**210亿美元**。
- 台积电、英特尔、三星等领先的晶圆厂已意识到，随着先进制程开发复杂性的指数级增加，相应的开发成本也在急剧上升。鉴于此，各大厂商正在探索新的方法以维持半导体产业的增长，除了在尺寸微缩方面进行创新外，系统整合与封装端的创新成为了晶圆厂和封装厂积极布局的重要方向。

来源：《先进封装技术的发展与机遇》，IBS，TEL，头豹研究院

■ 半导体封装行业综述——终端应用对先进封装的需求

- 随着AI、智能驾驶、AR/VR、高性能计算等前沿技术的高速发展，对高端芯片的需求也不断提升。先进封装技术通过提升芯片集成度、带宽和能效，在以上应用领域发挥关键作用

终端应用对先进封装的需求

应用领域	CPU/GPU	APU	DPU	MCU	ASIC	FPGA	存储	传感器	模拟	光电子
人工智能	FC 2.5D/3D FO Sip	FC FO ED		FC、FO						
智能驾驶				FC WB QFN WLCSP		FC 2.5D/3D FO	FC FO WB QFN WLCSP SiP	FC FO WB QFN ED SiP		
AR/VR										
HPC			FC FO ED			FC 2.5D/3D FO			FC 2.5D/3D WB SiP	
IoT				FC WB QFN WLCSP			FC 3D WB QFN WLCSP SiP	FC FO WB QFN WLCSP SiP		
5G	FC 2.5D/3D FO Sip	FC FO ED					FC 3D WB QFN WLCSP SiP		FC FO WB QFN ED SiP	FC 2.5D/3D WB SiP
手机通信								FC FO WB QFN WLCSP SiP		
区块链			FC 2.5D/3D FO							

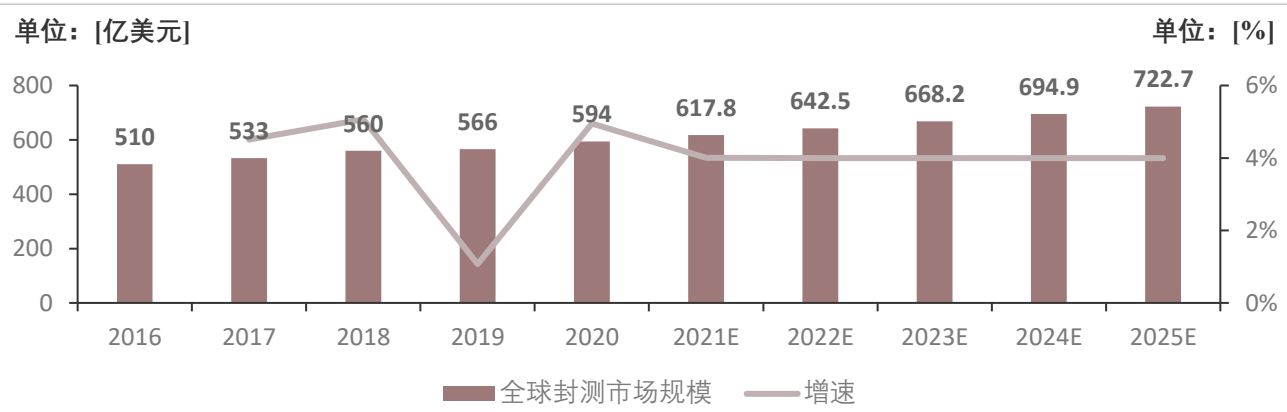
- 先进封装技术通过提升芯片集成度、带宽和能效，在AI、智能驾驶、AR/VR、HPC、IoT、5G、手机通信及区块链等领域发挥关键作用。例如，AI领域采用2.5D/3D封装用于集成AI芯片（如GPU、TPU）与HBM（高带宽内存），实现英伟达H100芯片的超算力；智能驾驶领域采用扇外型封装和SiP技术集成多核处理器与传感器（如特斯拉FSD芯片）；AR/VR领域采用扇外型封装实现紧凑设计（如高通XR2）；HPC领域采用2.5D/3D封装提升并行计算密度（如Intel Ponte Vecchio）；5G通信采用扇外型封装（如高通基带）和2.5D封装（用于毫米波收发器与数字信号处理器的协同，如华为的5G基站芯片）等。这些技术通过异构集成、高带宽互联和系统级优化，解决了各领域对算力、能效、小型化及低延迟的核心需求，成为延续摩尔定律、推动半导体创新的关键路径。

来源：Yole, JW Insights, 头豹研究院

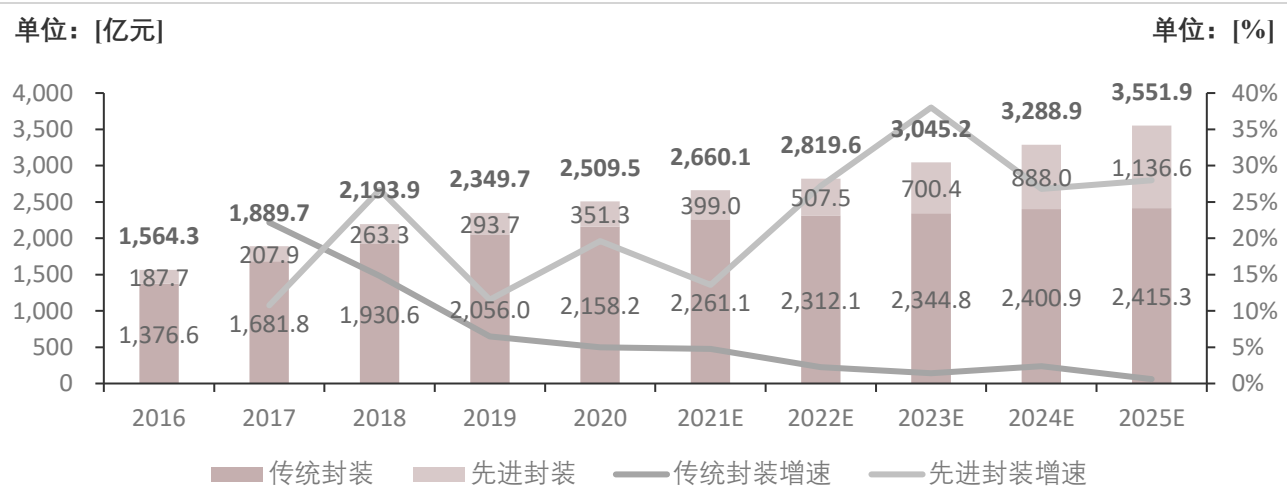
■ 半导体封装行业综述——中国半导体封装市场规模

- 随着国际和本土芯片设计公司转向中国大陆进行封装测试，以及海外晶圆制造企业的在华扩产，中国封测行业迅速发展。预计到2025年，中国封测市场规模将达到**3551.9亿元**，先进封装占比将达到**32%**

全球封测市场规模，按销售额，2016-2025E



中国大陆封测市场规模，按销售额，2016-2025E



- 根据沙利文数据，全球封装测试行业市场规模从2016年的510亿美元增长至2020年的594亿美元，预计在2025年增长至**722.7亿美元**。同时，先进封装作为后摩尔时代的选择之一，将在2025年占据全球封测市场一半的份额。
- 在政策支持与下游需求的双重驱动下，中国大陆封测市场实现快速增长，市场规模从2016年的1564.3亿元稳步攀升至2020年的2509.5亿元，年复合增长率达12.54%，显著高于全球市场3.89%的增速。近年来，高通、华为海思、联发科、联咏科技等国际芯片设计巨头逐步将封装测试订单转移至中国大陆企业，叠加本土芯片设计企业规模持续扩张，以及台积电、英特尔等海外晶圆制造龙头企业加速在华布局扩产，中国大陆封测企业迎来发展新机遇。与此同时，AI、智能驾驶、高性能计算等高端芯片对先进封装技术的需求激增，进一步推动行业升级。预计到2025年，中国大陆封测市场规模将突破**3551.9亿元**，其中先进封装技术占比有望提升至**32%**，成为驱动市场增长的核心引擎。

来源：弗若斯特沙利文，头豹研究院

Chapter 2

先进封装厂商盘点

先进封装厂商盘点——全球不同类型半导体厂商封装技术

全球先进封装市场参与者包括IDM类厂商、Foundry类厂商及OSAT类厂商。头部厂商在先进封装上普遍采用“大平台+技术分支”的架构，覆盖晶圆级、2.5D/3D封装等技术，形成覆盖全场景的封装解决方案

全球不同类型半导体厂商先进封装技术（1/2）

类别	厂商	代表性先进封装技术	技术简介
IDM	英特尔 	Intel Foundry ASAT 技术组合	英特尔代工的先进系统封装及测试（Intel Foundry ASAT）的技术组合，其核心技术包括 FCBGA、EMIB、Foveros 系列。
		FCBGA	基础的FCBGA 2D及优化版FCBGA 2D+以低成本有机基板封装满足通用芯片需求；
		EMIB	EMIB技术通过嵌入基板的硅桥实现2.5D异构集成，而EMIB 3.5D进一步引入3D堆叠提升带宽与密度；
		Foveros	Foveros系列则通过微凸块和TSV支持垂直堆叠（如Foveros 3D），而最前沿的Foveros Direct采用铜-铜直接键合技术，实现最高的带宽和最低的功耗互连。
	三星 	HIT技术平台	HIT是三星的顶层封装技术平台，整合了2.5D、3D封装技术及异构集成方案。I-Cube、X-Cube、H-Cube属于HIT平台下的具体技术系列，而SAINT是3D封装子平台，进一步强化HIT能力。
		SAINT 3D封装子平台	I-Cube（2.5D封装技术）在布局设计上采用并行放置多个芯片，有效防止热量积存，提高了系统性能。该技术分为I-Cube S（适用于中小规模芯片集成）和I-Cube E（支持更大规模的多芯片异构集成，满足高性能计算需求）两个版本；
		I-Cube	H-Cube（2.5D封装技术）支持逻辑芯片、存储芯片与其他功能芯片的混合封装，实现高度定制化的系统级解决方案；
		H-Cude	X-Cube（3D封装技术）通过垂直堆叠芯片，节省空间并提升处理速度。该技术分为X-Cube 微凸块（适用于中等密度堆叠）和X-Cube 铜混合键合（采用更先进的键合技术，实现更高密度的3D集成）。
	美光 	TC-NCF	美光 and 三星在HBM封装上均采用TC-NCF（热压非导电薄膜）技术。TC-NCF是一种HBM内存堆叠工艺，用于多层DRAM芯片的垂直键合，通过热压技术将多层DRAM芯片垂直堆叠，其可减少层间间隙，提升堆叠密度，优化信号传输效率和散热性能，降低堆叠后的芯片翘曲问题。
		SK海力士 	MR-MUF
Foundry	联华电子 	W2W 3D IC技术平台	- W2W 3D IC是联华电子主导的3D集成电路封装平台，旨在通过晶圆级堆叠技术实现多芯片异构集成，主要面向高性能计算（如AI、5G、汽车电子）和边缘计算场景。 - W2W通过晶圆级键合（Wafer-on-Wafer）实现芯片堆叠，支持逻辑芯片与内存的异构集成，同时采用混合键合（Hybrid Bonding）技术，实现纳米级对齐精度（<10nm），减少信号延迟，提升带宽。

来源：公司公告，公司官网，头豹研究院

注：以上先进封装技术不一定处在同一技术层级，因为在先进封装领域，技术层级的界限正在模糊，先进封装技术的演进使得不同层级的技术（如工艺、结构、系统集成）相互渗透，形成混合解决方案

（接上页——全球不同类型半导体厂商封装技术）

- 国际头部OSAT厂商、晶圆代工厂及IDM企业正加速在扇出型封装（Fan-out）、2.5D/3D先进封装等关键技术领域构建专利壁垒，通过持续研发创新产品、推动量产落地，进一步巩固其行业领先地位

全球不同类型半导体厂商先进封装技术（2/2）

类别	厂商	代表性先进封装技术	技术简介
Foundry	台积电	3D Fabric™技术平台	3D Fabric是台积电的封装技术总框架，包含前端SoIC系列、后端CoWoS与InFO系列。
		InFO	InFO（集成扇出型封装）是台积电的2.5D封装技术，通过将芯片直接封装在基板上，无需传统的有机封装基板，从而实现更小的尺寸和更高的集成密度。该技术可细分为InFO-POP和InFO-LSI，InFO-POP是FOWLP（扇出型晶圆级封装）与POP（堆叠封装）的结合，而InFO-LSI是一种高带宽、低成本的异构集成技术，通过硅桥和RDL（重分布层）实现芯片间的互联，适用于需要更高互联密度的场景；
		CoWoS	CoWoS（基板上的晶圆级芯片封装）是台积电的2.5D封装技术，通过硅中介层多个芯片集成到同一基板上，实现异构计算。该技术分为CoWoS-S（硅中介层）、CoWoS-R（重新布线层中介层）和CoWoS-L（混合中介层）；
		SoIC	SoIC（系统级集成芯片）是台积电的3D垂直堆叠技术，其支持CoW（基板上晶圆）和WoW（多晶圆堆叠）方案，通过混合键合（Hybrid Bonding）直接将多层芯片堆叠，无需中介层或硅通孔（TSV），实现超高密度集成。而SoIC-P是台积电SoIC解决方案的微凸块版本，为3D芯片堆叠提供了一种经济高效的方式。
OSAT	日月光	VIPack™先进封装平台	2022年日月光宣布推出VIPack先进封装平台，VIPack就是以3D异质整合为关键技术的先进互连技术解决方案。该平台由六大核心封装技术支柱组成，包括基于高密度RDL的FOPoP、FOCoS、FOCoS-Bridge、FOSiP，以及基于硅穿孔（TSV）的2.5D/3D IC和光电共封装（Co-Packaged Optics）。
		FOPoP	
		FOCoS	
	ASE GROUP 日月光集团	FOCoS-Bridge	2024年3月，日月光发布其VIPack先进封装平台的最新进展——微间距芯粒互连技术。该技术可满足AI应用对于多样化 Chiplet（芯粒）整合日益增长的需求，且对于新一代的垂直整合与2D并排解决方案中实现创造力和微缩至关重要。
	安靠科技	SWIFT	SWIFT是Amkor的先进高密度扇出技术，采用2/2μm线/间距设计，可替代2.5D TSV实现SoC分区及网络应用的高密度芯片互联；SLIM通过前道工艺在硅片无机介质层制作亚微米（≤1μm）金属布线；HDFO是基于SWIFT开发的异构芯片封装方案。
		SLIM	
		HDFO	
	力成科技	FOPLP技术组合	力成科技自主研发了面板级扇出型封装（FOPLP）技术，该FOPLP技术上提供4种封装结构，包括BumpFree、CHIEFS(ChipFirst)、CLIPS(ChipLast)、PIFO(ChipMiddle)，这些技术分别应用于不同的产品和应用场景，如PMIC、APU/基带芯片/ASIC、HPC含CPU/GPU/FPGA、手机AP与传感器等。

来源：公司公告，公司官网，头豹研究院

注：以上先进封装技术不一定处在同一技术层级，因为在先进封装领域，技术层级的界限正在模糊，先进封装技术的演进使得不同层级的技术（如工艺、结构、系统集成）相互渗透，形成混合解决方案

先进封装厂商盘点——中国大陆厂商封装技术

- 中国大陆头部OSAT厂商通过自主研发和兼并收购，已基本形成先进封装的产业化能力。中国大陆封测三大厂长电科技、通富微电和华天科技均采用平台化战略，覆盖从消费电子到AI芯片的全场景

中国大陆不同类型半导体厂商封装技术（1/3）

类别	厂商	主要封装技术	技术简介
OSAT	通富微电 	VISionS技术平台	- 通富微电拥有九大封装系列，覆盖全领域：包括FCBGA&FCCSP、FO、HVP、WLCSP、SiP等。通富微电目前已建成了融合2.5D、3D、MCM-Chiplet等先进封装技术的VISionS的先进封装平台及超大尺寸FCBGA研发平台。 - VISionS是通富微电推出的先进封装技术平台，聚焦于高密度、高性能、异构集成需求，覆盖2.5D/3D封装、扇外型封装（Fan-out）及系统级封装（SiP）等领域。
	华天科技 	3D Matrix技术平台 eSiFO eSinC 2.5D技术平台	- 华天科技大力发展SiP、FC、TSV、Fan-Out、WLP、2.5D、3D、Chiplet、FOPLP等先进封装技术和产品。 3D Matrix是华天科技整合先进封装技术的综合平台，由TSV（硅通孔）、eSiFO（硅基扇出）、3D SiP（三维系统级封装）三大核心技术构成。其中，硅基扇出型晶圆级封装（embedded Silicon Fan-out, eSiFO）是华天科技2015年开始研发，2018年开发成功并具有自主知识产权的一种先进Fan-Out封装技术。eSiFO技术广泛应用于电源管理芯片、射频收发器芯片、基带处理器和高端网络系统等多种应用领域；3D SiP是基于eSinC技术实现的。eSinC 2.5D封装技术平台是面向2.5D先进封装赛道，包含三大2.5D技术门类，分别是硅转接板芯粒系统SiCS（Silicon interposer Chiplet System）、扇出芯粒系统FoCS（Fan out Chiplet System）和桥联芯粒系统BiCS（Bridge interconnection Chiplet System）。
	长电科技 	XDFOI™技术平台	- 在先进封装领域，长电科技拥有多项行业领先的技术，包括SiP（系统级封装）、FC（倒装）、WLCSP（晶圆级芯片规模封装）、2.5D/3D、Bumping（凸块）、MEMS和PoP（堆叠封装）等。 - 长电科技于2021年7月推出了面向Chiplet的高密度多维异构集成技术平台XDFOI，利用协同设计理念实现了芯片成品集成与测试一体化，涵盖2D、2.5D、3D Chiplet集成技术。
	甬矽电子 	FHBSAP®技术平台 RWLP HCOS Vertical	- 甬矽电子积极布局基于Chiplet的先进HDFO、2.5D、3D等晶圆级封装技术，成功开发多芯片扇出异构集成封装（Multi-Chip High Density Fan-Out, HDFO）技术，并在2.5D Chiplet封装研发上取得阶段性积极成果。 - 甬矽电子FHBSAP技术平台成功攻克诸多技术难关，创新性地开发一系列前沿先进封装技术成果，涵盖RWLP系列（晶圆级重构封装，Fan-out 扇出封装）、HCOS系列（2.5D晶圆级/基板上异构封装）、Vertical系列（晶圆级垂直芯片堆栈封装）等，精准适配Fan-out（FO）、2.5D/3D先进晶圆级封装等多元化先进封装技术需求。

来源：公司公告，公司官网，头豹研究院

注：以上先进封装技术不一定处在同一技术层级，因为在先进封装领域，技术层级的界限正在模糊，先进封装技术的演进使得不同层级的技术（如工艺、结构、系统集成）相互渗透，形成混合解决方案

（接上页——中国大陆厂商封装技术）

- 中国大陆腰部OSAT厂商聚焦传统封装技术，包括简单版本的凸块（Bumping）和晶圆级封装（WLP），以及QFN及BGA等，技术覆盖以线宽5μm以上、28nm及以上制程为主

中国大陆不同类型半导体厂商封装技术（2/3）

类别	厂商	主要封装技术	技术简介
OSAT	汇成股份  汇成股份 UNIONSEMICON	FC BLP	汇成股份以凸块（Bumping）制造为核心，整合晶圆测试（CP）、玻璃覆晶封装（COG）和薄膜覆晶封装（COF），形成显示驱动芯片全制程封装平台。
	顾中科技  CHIPMORE	FC BLP WLCSP	顾中科技在显示驱动芯片领域覆盖金凸块制造、覆晶封装（COG、COP、COF）等主要工艺环节；在非显示驱动芯片领域具备从凸块制造到后段封装的全制程扇入型晶圆级芯片尺寸封装（Fan-in WLCSP）技术能力。
	晶方科技  WLCSP WUXIA JIANGZHUANG PROCESS	WLCSP	晶方科技的封装技术以晶圆级封装（WLCSP）为核心，应用于影像传感芯片、环境感应芯片等多个领域。
	大港股份  大港股份	FC WLP SiP	大港股份的封装技术主要通过其控股孙公司苏州科阳半导体有限公司实现，科阳半导体掌握了晶圆级芯片封装的TSV、Micro-Bumping（微凸点）和RDL等先进封装核心技术，包含了覆盖锡凸块、铜凸块、垂直通孔技术、倒装焊等技术，自主研发出FC、Bumping、MEMS、WLP、SiP、TSV、WLFO等多项集成电路先进封装技术和产品。
	深科技  深科技 KAIFA	FC POPt SiP	深科技的封装技术主要通过其控股子公司深圳沛顿科技及其孙公司合肥沛顿实现，专注于高端存储芯片封装与测试。深科技已完成了16层堆叠技术的研发，并具备了量产能力。此外，深科技的超薄POPt（Package-on-Package with Through-substrate via）封装技术是一种先进的三维集成封装解决方案。
	“九重”技术平台		
	天成先进  TIANCHENG	2.5D 3D 微组装	珠海天成先进以“九重”技术平台为核心，提供纵横（2.5D）、洞天（3D）、方圆（Micro Assembly）三大技术方向。
	云天半导体  云天半导体 SKY SEMICONDUCTOR	WLP SiP	云天半导体二期项目，预计总投资将达到约20亿元。项目投产后，公司将拥有8/12寸系列晶圆级封装及特色工艺技术，涵盖WLP、3DWLCSP、Fan-out等多种封装技术，并具备玻璃通孔工艺和集成无源器件（IPD）的制造能力。

来源：公司公告，公司官网，头豹研究院

注：以上先进封装技术不一定处在同一技术层级，因为在先进封装领域，技术层级的界限正在模糊，先进封装技术的演进使得不同层级的技术（如工艺、结构、系统集成）相互渗透，形成混合解决方案

（接上页——中国大陆厂商封装技术）

- 中国大陆晶圆代工厂（如中芯国际）的核心业务是晶圆制造，封测环节完全外包给专业OSAT厂商，这一模式符合行业专业化分工趋势，也契合中国大陆半导体产业“集中资源突破制造瓶颈”的战略选择

中国大陆不同类型半导体厂商封装技术（3/3）

类别	厂商	主要封装技术	技术简介
OSAT	芯德科技 	CAPiC技术平台 FOCT-R/FOCT-S	芯德科技的晶粒及先进封装技术平台CAPiC包含FOCT-R、FOCT-S、SETiS/RETiS、TMV-POP、TGV-POP、eWLB-F& eWLB-M共六种封装技术。
	新核芯 	FOPLP	新核芯扇出型封装玻璃载板技术FOStrip利用玻璃面板载板（PLP）进行重布线层（RDL），可以减层及缩小封装尺寸，是先进封装增加芯片链接密度的重要技术。
	中科智芯 	FC WLCSP SiP	中科智芯产品主要集中在凸晶(点)/微凸点（Bumping /Micro-Bumping/Gold Bump）、晶圆级芯片封装（WLCSP）、扇出型封装（FOWLP）、三维堆叠与系统集成封装（3D Packaging & SiP）。
晶圆代工 + 封测	盛合晶微 	SmartPoser™技术平台 SmartAiP	- 盛合晶微是由中芯国际和长电科技在2014年共同合资成立的中芯长电半导体，并于2019年更名而来。更名后，公司进一步强化了在中段硅片制造（如凸块、再布线、三维集成等）领域的专业化定位。 - SmartPoser是盛合晶微自主研发的三维先进封装技术平台，其核心是通过异质集成（Heterogeneous Integration）实现多芯片（有源/无源）的高密度、高可靠性三维堆叠。SmartPoser的核心技术包括高密度再布线（RDL）、垂直铜柱互连（TIV）和晶圆级集成；该技术平台衍生出了多个具体技术方案，包括SmartPoser-HD（高密度三维集成技术，适用于移动计算、高性能计算HPC等场景）、3DFO（三维扇出封装，晶圆级系统集成技术，支持更复杂的多芯片堆叠）。 - SmartAiP是基于SmartPoser技术平台的5G毫米波天线集成方案，专注于解决5G通信中天线芯片与射频前端的集成问题。
晶圆代工 + 封测外包	中芯国际 	-	中芯国际将封测业务外包给其他专业OSAT厂商完成，如2014年中芯国际和长电科技合资成立的中芯长电。2023年，中芯长电更名为盛合晶微，专注于先进封装技术（如凸块加工、2.5D/3D封装）。

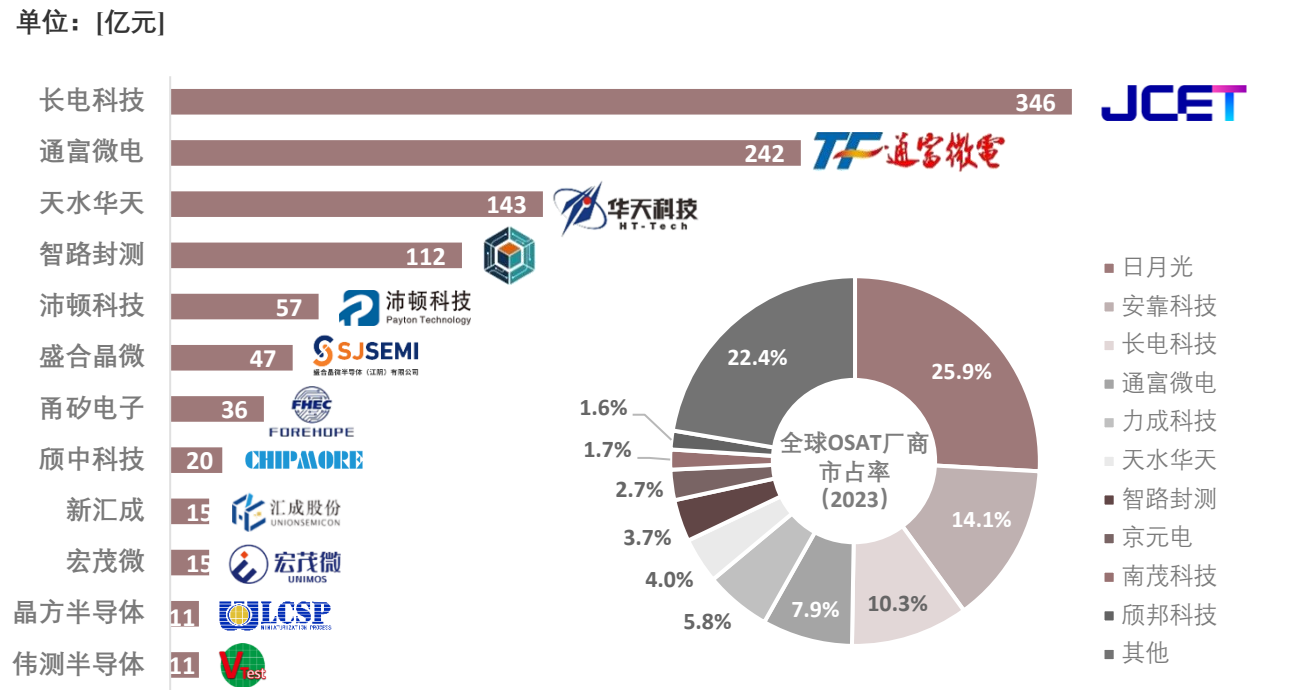
来源：公司公告，公司官网，头豹研究院

注：以上先进封装技术不一定处在同一技术层级，因为在先进封装领域，技术层级的界限正在模糊，先进封装技术的演进使得不同层级的技术（如工艺、结构、系统集成）相互渗透，形成混合解决方案

先进封装厂商盘点——全球OSAT市场竞争格局

- 全球OSAT三大梯队厂商形成从“尖端垄断”到“细分渗透”的技术与市场梯度，第一梯队主导高端市场，第二梯队通过区域化和专精技术渗透细分领域，第三梯队则在基础市场依托代工与合作生存

中国大陆营收超10亿元OSAT厂商营收排名，2024



全球头部OSAT厂商先进封装技术布局情况

	Bumping	WLCSP	FC	Fan-out	TSV	2.5D	3D	SiP
日月光	√	√	√	√	√	√	√	√
安靠科技	√	√	√	√	√	√	√	√
力成科技	√	√	√	√	√	√		√
长电科技	√	√	√	√	√	√	√	√
通富微电	√	√	√	√	√	√		√
华天科技	√	√	√	√	√	√		√
甬矽电子	√	√	√	√	√	√	√	√
汇成股份	√	√	√					
晶方科技	√	√		√	√			√

来源: ChipInsights, 头豹研究院

（接上页——全球OSAT市场竞争格局）

- 全球OSAT三大梯队厂商形成从“尖端垄断”到“细分渗透”的技术与市场梯度，第一梯队主导高端市场，第二梯队通过区域化和专精技术渗透细分领域，第三梯队则在基础市场依托代工与合作生存

全球OSAT厂商竞争梯队，2025



- 根据ChipInsights统计，2024年中国大陆营收超10亿元的厂商中，长电科技、通富微电、天水华天、智路封测、沛顿科技占据营收排名前五名。而2023年，全球市占率排名前五的OSAT厂商为日月光、安靠科技、长电科技、通富微电和力成科技，市场份额分别为25.9%、14.1%、10.3%、7.9%和5.8%。
- 根据OSAT厂商的技术特点、营收规模、客户资源三大维度进行梯队划分，全球**第一梯队厂商**有日月光（中国台湾）和安靠科技（美国）；**第二梯队厂商**有长电科技（中国）、通富微电（中国）、华天科技（中国）、力成科技（中国台湾）、盛合晶微（中国）等；**第三梯队厂商**有京元电子（中国台湾）、南茂科技（中国台湾）、智路封测（中国）、韩亚微（韩国）、甬矽电子（中国）、汇成股份（中国）、科阳半导体（中国）、天成先进（中国）等。
- 第一梯队厂商**掌握最尖端的先进封装技术（如2.5D/3D、CPO、Chiplet等），**技术全面性、量产能力及良率处于全球垄断地位**，主要服务英伟达、英特尔、苹果等头部客户，主导高端芯片（CPU/GPU/AI芯片）封装市场；
- 第二梯队厂商**具备中高端封装技术（如SiP、WLP、TSV、Chiplet），并在2.5D/3D等先进封装领域实现技术突破，但受限于产能规模、客户结构和全球化布局，仍处于从“中高端”向“全面先进”渗透的过渡阶段。其客户以国内企业和国际二线客户（如AMD、联发科）为主，通过区域化布局和细分技术专精实现差异化竞争；
- 第三梯队厂商**则聚焦基础或细分技术（如COF/COG、WLCSP等），**依赖头部厂商的技术溢出或合资合作**，服务垂直领域（如显示驱动芯片、汽车传感器等）及中小客户，以代工模式和成本优势立足。
- 全球OSAT三大梯队厂商形成从“尖端垄断”到“细分渗透”的技术与市场梯度，第一梯队主导高端市场，第二梯队通过区域化和专精技术渗透细分领域，第三梯队则在基础市场依托代工与合作生存。

来源：头豹研究院

先进封装厂商盘点——长电科技

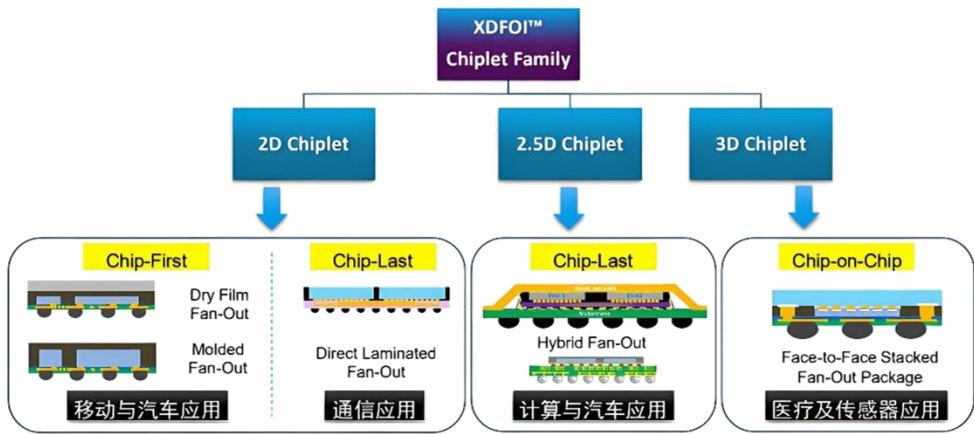
- 长电科技是中国大陆三大封测厂之一，其XDFOI™是一种高密度多维异构集成工艺，支持2.5D/3D封装和Chiplet（芯粒）技术，能够实现芯片的垂直堆叠和异构集成，可应用于HPC、AI等高算力需求领域

长电科技基本情况



- 长电科技是中国领先的集成电路制造与技术服务提供商，向全球半导体客户提供全方位、一站式芯片成品制造解决方案，涵盖微系统集成、设计仿真、晶圆中测、芯片及器件封装、成品测试、产品认证以及全球直运等服务。公司在中国、韩国和新加坡拥有八大生产基地和两大研发中心，并在全球设有20多个业务机构，为客户提供紧密的技术合作与高效的产业链支持。
- 长电科技拥有先进和全面的芯片成品制造技术，包括晶圆级封装（WLP）、2.5D/3D封装、系统级封装（SiP）、倒装芯片封装、引线键合封装及传统封装先进化解决方案，广泛应用于汽车电子、人工智能、高性能计算、高密度存储、网络通信、智能终端、工业与医疗、功率与能源等领域。

长电科技XDFOI™多维先进封装技术



- 长电科技于2021年推出的XDFOI™是一种高密度多维异构集成工艺，支持2.5D/3D封装和Chiplet（芯粒）技术，能够实现芯片的垂直堆叠和异构集成，适用于高性能计算（HPC）、人工智能（AI）、5G通信等对算力和带宽要求极高的领域。目前，长电科技XDFOI™ Chiplet高密度多维异构集成系列工艺已进入稳定量产阶段。
- 2024年9月，长电科技完成了对西部数据旗下封测企业——晟碟半导体80%股权的收购。此次收购强化了长电科技的存储封测能力，同时扩大了在存储封测领域的市场份额。
- 在汽车电子领域，长电科技产品类型已覆盖智能座舱、智能网联、ADAS、传感器和功率器件多个应用领域。截至2025年3月，长电科技临港“灯塔工厂”建设按计划推进，核心设备调试与产线搭建进入冲刺阶段，预计2025年上半年完成设备进厂并逐步投产，年内全面投产，成为国内车规级芯片封测领域的智能化标杆。

来源：公司公告，公司官网，头豹研究院

先进封装厂商盘点——通富微电

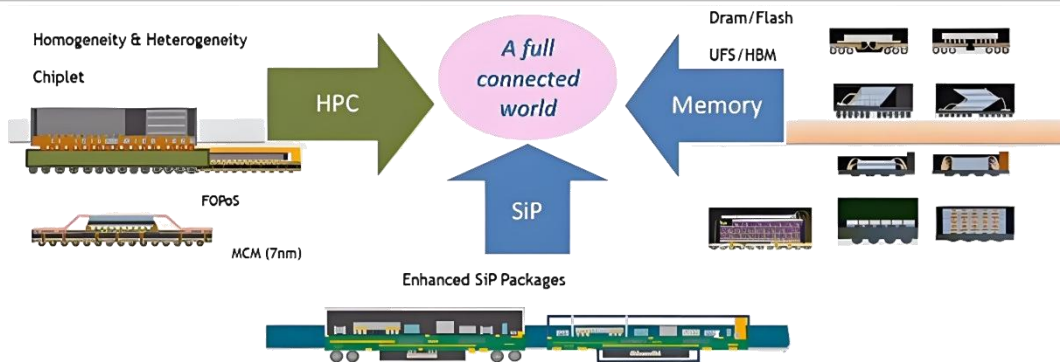
- 通富微电是中国三大封测厂之一，拥有九大封装系列产品，并建成了融合2.5D、3D、MCM-Chiplet等先进封装技术的VISIONS先进封装技术平台。通富微电也是AMD最大的封测供应商，占其订单总数超80%

通富微电基本情况

TF 通富微电

- 通富微电是中国领先的集成电路封装测试企业，为全球客户提供设计仿真和封装测试一站式服务。通富微电的产品、技术、服务全方位涵盖网络通讯、移动终端、家用电器、人工智能和汽车电子等领域。
- 通富微电总部位于江苏南通，拥有全球化的制造和服务基地，在南通、合肥、厦门、苏州、马来西亚槟城拥有七大生产基地。其中，**1) 通富崇川本部**以中高端产品为主，包括FCLGA、QFN、Bumping、WLCSP、SiP、FCCSP，终端应用主要为汽车电子与功率器件；**2) 通富超威苏州、通富超威槟城**以先进封装为主，产品包括FCBGA、FCPGA、Chiplet、MCM等，业务范围涵盖CPU、GPU、NPU等；**3) 南通通富**以高端产品为主，产品包括BGAs、LGAs、FCBGA、QFN、SIP，应用于手机终端、通讯产品等；**4) 合肥通富**业务以超高密度框架为主，包括SOP、宽排SOT/SC70/MSOP等产品，下游应用为存储器与显示驱动；**5) 合肥通富**业务以超高密度框架为主，包括SOP、宽排SOT/SC70/MSOP等产品，下游应用为存储器与显示驱动；**6) 通富通科**主要针对功率器件封装与测试，产品类型主要为QFN、LQFP、Power类、Memory类等。

通富微电VISIONS先进封装平台



- 通富微电目前拥有九大封装系列，覆盖全领域，包括：FCBGA系列、FCCSP系列、FO系列、HVP系列、LQFP系列、QFN/DFN系列、SiP系列、WBBGA/LGA/(HS)PBGA系列、WLP系列。此外，通富微电已经建成了融合2.5D、3D、MCM-Chiplet等先进封装技术的VISIONS先进封装平台及超大尺寸FCBGA研发平台，并且完成高层数再布线技术开发，同时可为客户提供晶圆级和基板级Chiplet封测解决方案。**截至2023年底，通富微电超大尺寸2D+封装技术、3D堆叠封装技术、大尺寸多芯片chip last封装技术已验证通过。**
- 2016年通富微电收购AMD苏州、AMD槟城封测工厂85%的股权，与AMD形成“合资+合作”的模式。**通富微电也是AMD最大的封测供应商，占其订单总数的80%以上。**此外，通富超威（苏州）新基地项目的一期专业从事FCBGA高端先进封测，预计2025年1月实现批量生产。预计投产后，年产值将达百亿元规模。

来源：公司公告，公司官网，头豹研究院

先进封装厂商盘点——华天科技

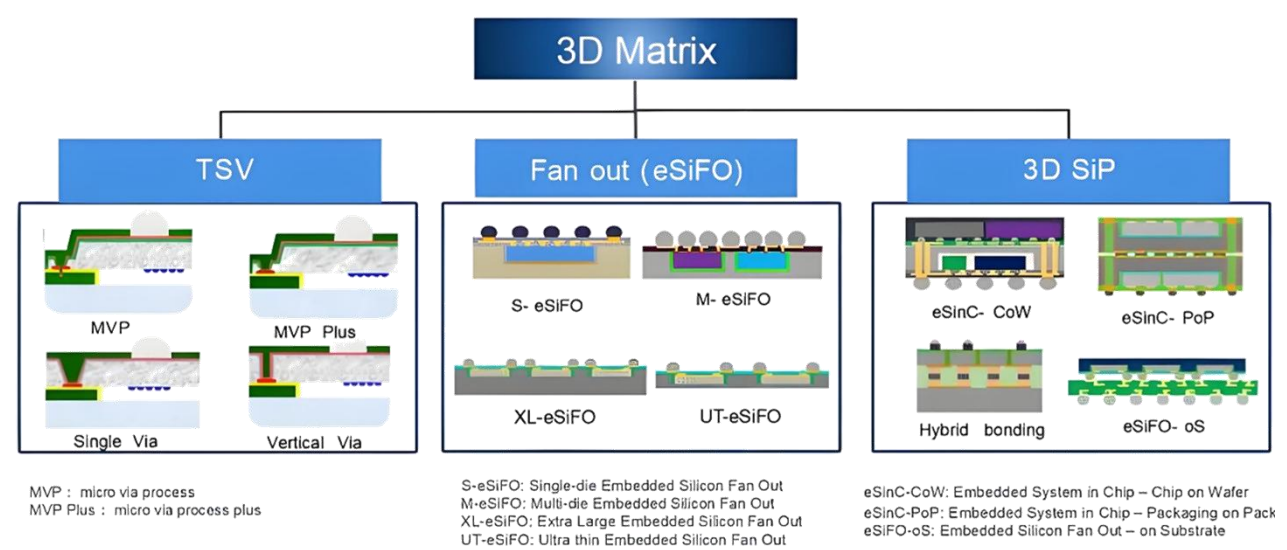
- 华天科技是中国三大封测厂之一，掌握FC、SiP、TSV等先进封装技术。同时，公司已建立三维晶圆级封装平台——3D Matrix，该平台由TSV、eSiFo (Fan-out)、3D SIP三大封装技术构成



华天科技基本情况

- 华天科技是中国领先的集成电路封测企业，为客户提供封装设计、封装仿真、引线框封装、基板封装、晶圆级封装、晶圆测试及功能测试、物流配送等一站式服务。
- 2024年，华天科技推进Chiplet、汽车电子及板级封装技术研发，2.5D产线建设和设备调试已完成，FOPLP技术通过客户认证。此外，公司开发出汽车级Grade 0、双面塑封SiP封装技术，基于TMV工艺的uPoP、大颗粒高散热FCBGA、5G毫米波AiP及车载激光雷达产品实现量产，超高集成度uMCP也具备量产条件。

华天科技三维晶圆级封装平台——3D Matrix



- 华天科技已掌握SiP、FC、TSV、Bumping、Fan-Out、WLP、3D等先进封装技术。华天科技目前已建立三维晶圆级封装平台——3D Matrix，该平台由TSV、eSiFo (Fan-out)、3D SIP三大封装技术构成。其中，eSiFO主要应用于Fan-out封装，通过eSiFO技术可将多颗芯片集成在一起。相比于传统封装，整体封装尺寸大幅度缩减，芯片间互连更短，性能更强。在eSiFO技术基础上，可以通过TSV、Bumping等晶圆级封装技术，实现3D、SiP封装，为多芯片异质异构集成提供可能性；在eSiFO技术基础上，华天科技继续开发基于大空腔干法刻蚀、TSV盲孔和临时键合技术的3D扇外型晶圆级封装eSinC技术，该技术采用TSV通孔实现垂直方向互联提高互联密度和集成度。eSinC技术可实现的封装尺寸最大可以达到40mmX40mm，倒装芯片bump/pitch尺寸最小可以做到40μm/70μm，互联TSV深宽比可以做到5:1。该技术目标应用主要是AI、IOT、5G和处理器等众多领域。

来源：公司公告，公司官网，头豹研究院

先进封装厂商盘点——盛合晶微

- 盛合晶微由晶圆制造龙头中芯国际和封装龙头长电科技于2014年合资成立。SmartPoser™技术平台是盛合晶微的基础封装技术平台，其衍生出多项先进封装技术，包括SmartPoser-HD和SmartAiP

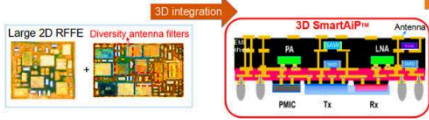
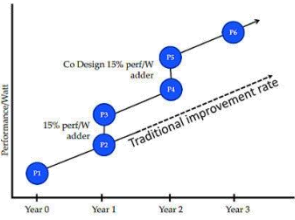
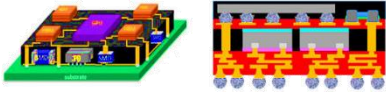
盛合晶微基本情况



- 盛合晶微半导体有限公司于2014年8月注册成立，公司由中芯国际和长电科技合资成立，初期名为“中芯长电半导体（江阴）有限公司”。
- 公司是以集成电路前段芯片制造体系和标准，采用独立专业代工模式服务全球客户的中段硅片制造企业。此外，以先进的12英寸凸块和再布线加工起步，公司致力于提供优质的中段硅片制造和测试服务，并进一步发展先进的三维系统集成芯片业务。公司总部位于中国江阴高新技术产业开发区，在上海和美国硅谷设有分支机构，服务于国内外先进的芯片设计企业。
- 2025年1月，盛合晶微宣布完成D轮7亿美元融资，投资方包括无锡产发科创基金、江阴滨江澄源投资集团、上海国投孚腾资本、上海国际集团、上海临港新片区管委会新芯基金及临港集团数科基金，以及社保基金中关村自主创新基金、国寿股权投资、Golden Link等。

盛合晶微SmartPoser™三维先进封装技术平台

产品结构：



- SmartPoser™是盛合晶微自主研发的三维先进封装技术平台，其核心是通过异质集成（Heterogeneous Integration）实现多芯片（有源/无源）的高密度、高可靠性三维堆叠。SmartPoser的核心技术包括高密度再布线（RDL）、垂直铜柱互连（TIV）和晶圆级集成；该技术平台衍生出了多个具体技术方案，包括SmartPoser-HD（高密度三维集成技术，适用于移动计算、高性能计算HPC等场景）和SmartAiP（5G毫米波天线芯片集成方案）。
- SmartPoser-HD是SmartPoser™技术平台衍生的晶圆级系统集成方案，通过高密度RDL和垂直互连，进而实现高密度三维集成，为多种应用场景如移动计算、边缘和高性能运算等提供高性价比的封装方案；SmartAiP是SmartPoser™技术平台衍生出的5G天线芯片集成方案。该工艺能够实现24GHz到43GHz超宽频信号收发(适合各国和地区不同的毫米波频段)，适合智能手机终端低功耗、高增益和超薄集成的要求，并且有进一步实现射频前端模组集成封装的能力。

来源：公司公告，公司官网，头豹研究院

业务合作

会员账号

可阅读全部原创报告和百万数据，提供PC及移动端，方便触达平台内容

定制报告/词条

行企研究多模态搜索引擎及数据库，募投可研、尽调、IRPR等研究咨询

定制白皮书

对产业及细分行业进行现状梳理和趋势洞察，输出全局观深度研究报告

招股书引用

研究覆盖国民经济19+核心产业，内容可授权引用至上市文件、年报

市场地位确认

对客户竞争优势进行评估和证明，助力企业价值提升及品牌影响力传播

云实习课程

依托完善行业研究体系，帮助学生掌握行业研究能力，丰富简历履历

报告作者



袁栩聪
首席分析师
oliver.yuan@leadleo.com



张俊雅
行业分析师
jacob.zhang@leadleo.com

业务咨询

- 客服电话：400-072-5588
- 官方网站：www.leadleo.com

深圳办公室

广东省深圳市南山区粤海街道华润置地大厦E座4105室
邮编：518057

上海办公室

上海市静安区南京西1717号会德丰国际广场 2701室
邮编：200040

南京办公室

江苏省南京市栖霞区经济开发区兴智科技园B栋401
邮编：210046

方法论

- ◆ 头豹研究院布局中国市场，深入研究19大行业，持续跟踪532个垂直行业的市场变化，已沉淀超过100万行业研究价值数据元素，完成超过1万个独立的研究咨询项目。
- ◆ 研究院依托中国活跃的经济环境，研究内容覆盖整个行业的发展周期，伴随着行业中企业的创立，发展，扩张，到企业走向上市及上市后的成熟期，研究院的各行业研究员探索和评估行业中多变的产业模式，企业的商业模式和运营模式，以专业的视野解读行业的沿革。
- ◆ 研究院融合传统与新型的研究方法，采用自主研发的算法，结合行业交叉的大数据，以多元化的调研方法，挖掘定量数据背后的逻辑，分析定性内容背后的观点，客观和真实地阐述行业的现状，前瞻性地预测行业未来的发展趋势，在研究院的每一份研究报告中，完整地呈现行业的过去，现在和未来。
- ◆ 研究院密切关注行业发展最新动向，报告内容及数据会随着行业发展、技术革新、竞争格局变化、政策法规颁布、市场调研深入，保持不断更新与优化。
- ◆ 研究院秉承匠心研究，砥砺前行的宗旨，从战略的角度分析行业，从执行的层面阅读行业，为每一个行业的报告阅读者提供值得品鉴的研究报告。

法律声明

- ◆ 本报告著作权归头豹所有，未经书面许可，任何机构或个人不得以任何形式翻版、复刻、发表或引用。若征得头豹同意进行引用、刊发的，需在允许的范围内使用，并注明出处为“头豹研究院”，且不得对本报告进行任何有悖原意的引用、删节或修改。
- ◆ 本报告分析师具有专业研究能力，保证报告数据均来自合法合规渠道，观点产出及数据分析基于分析师对行业的客观理解，本报告不受任何第三方授意或影响。
- ◆ 本报告所涉及的观点或信息仅供参考，不构成任何投资建议。本报告仅在相关法律许可的情况下发放，并仅为提供信息而发放，概不构成任何广告。在法律许可的情况下，头豹可能会为报告中提及的企业提供或争取提供投融资或咨询等相关服务。本报告所指的公司或投资标的的价值、价格及投资收入可升可跌。
- ◆ 本报告的部分信息来源于公开资料，头豹对该等信息的准确性、完整性或可靠性不做任何保证。本文所载的资料、意见及推测仅反映头豹于发布本报告当日的判断，过往报告中的描述不应作为日后的表现依据。在不同时期，头豹可发出与本文所载资料、意见及推测不一致的报告和文章。头豹不保证本报告所含信息保持在最新状态。同时，头豹对本报告所含信息可在不发出通知的情形下做出修改，读者应当自行关注相应的更新或修改。任何机构或个人应对其利用本报告的数据、分析、研究、部分或者全部内容所进行的一切活动负责并承担该等活动所导致的任何损失或伤害。