

证券研究报告

行业专题报告

2025年12月30日

分析师 郭强

执业编号：S1080524120001

半导体先进封装研究报告

www.firstcapital.com.cn

本材料可能含有特权或未公开信息（含保密信息），任何未经第一创业授权之阅读、使用、披露或转发均被禁止。



目录

Contents



核心观点&风险提示



半导体先进封装的基本概念及政策梳理



半导体先进封装的技术发展路径



重点关注的设备和材料细分领域



先进封装的未来发展展望



先进封装相关公司梳理

/01

核心观点&风险提示



- ◆ Bump、RDL、Wafer、TSV技术是先进封装的四大关键技术要素。芯片行业进入后摩尔时代，先进封装成为后摩尔时代提升性能的主要技术。助力芯片行业破除存储墙、面积墙、功耗墙、功能墙。
- ◆ 全球半导体产业链环节中，中国大陆在封装及封装设备领域已具备一定的国际竞争力，但是在EDA、IP核、部分半导体材料、部分半导体设备领域存在明显的卡脖子问题。随着先进封装在半导体产业链中重要性的不断提升，使用封装领域的优势来弥补其他方面的劣势变得尤为重要。在此背景下，Chiplet封装技术的重要性凸显。
- ◆ 在先进封装设备细分领域，半导体检测、量测设备；固晶机设备；混合键合设备值得重点关注。在先进封装材料细分领域，ABF载板、玻璃基板、电镀液值得重点关注。
- ◆ 展望未来，板级封装、CPO光电共封装、新型封装架构、极端环境封装、前沿材料封装和生物与神经形态封装具有一定前瞻性。其中，板级封装、CPO光电共封装的工业实践价值较高；其他几项仍处于科研到实践的转化阶段。
- ◆ **风险提示：**半导体材料技术路线发生变动、地缘政治风险等，仅供投资分析时参考。

/02

半导体先进封装的基本概念及政策梳理

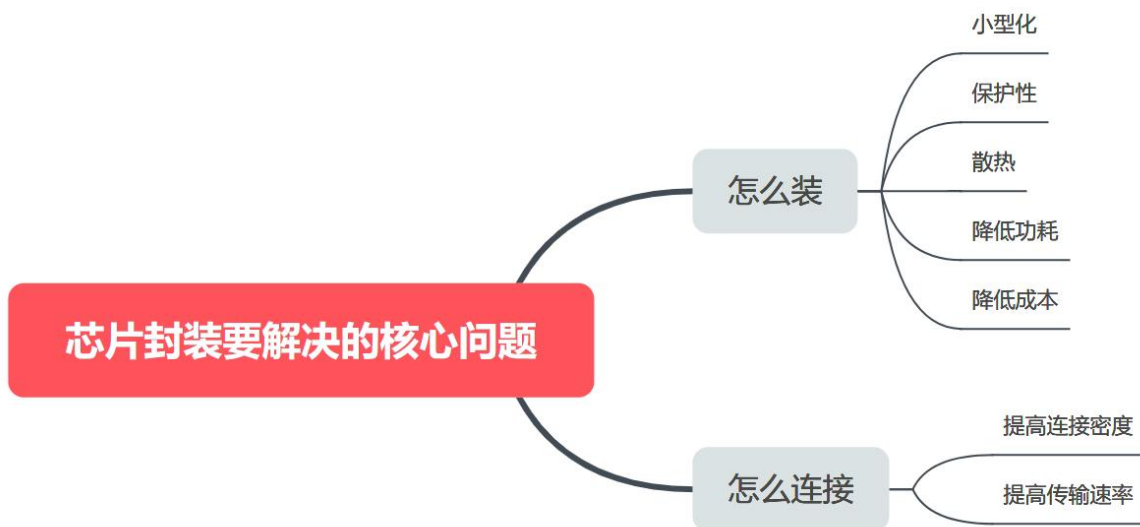




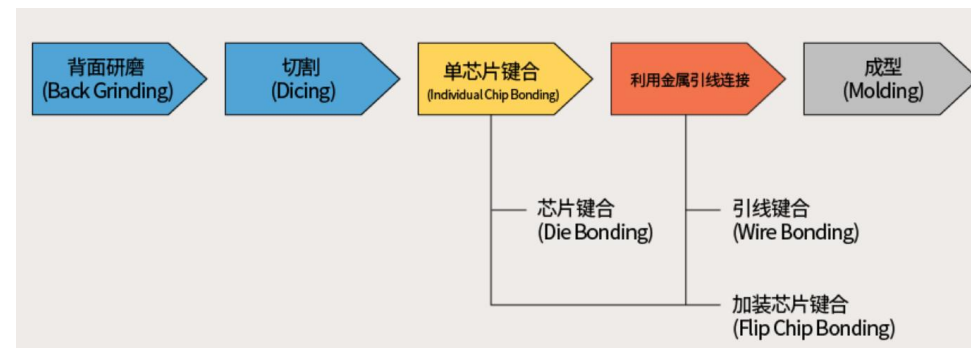
半导体先进封装的基本概念

半导体封装，是一种用于容纳、包覆一个或多个半导体器件或集成电路的载体/外壳，外壳的材料可以是金属、塑料、玻璃、或者是陶瓷。封装的功能可以拆解为机械保护、电气连接、散热、机械连接四大维度。封装的工艺步骤包含了背面研磨、切割、单芯片键合、引线连接、成型等。

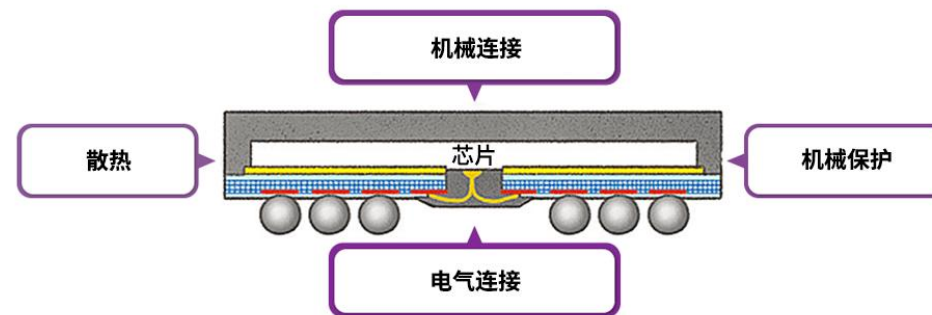
图：封装要解决的核心问题



图：封装的工艺步骤



图：芯片封装的作用





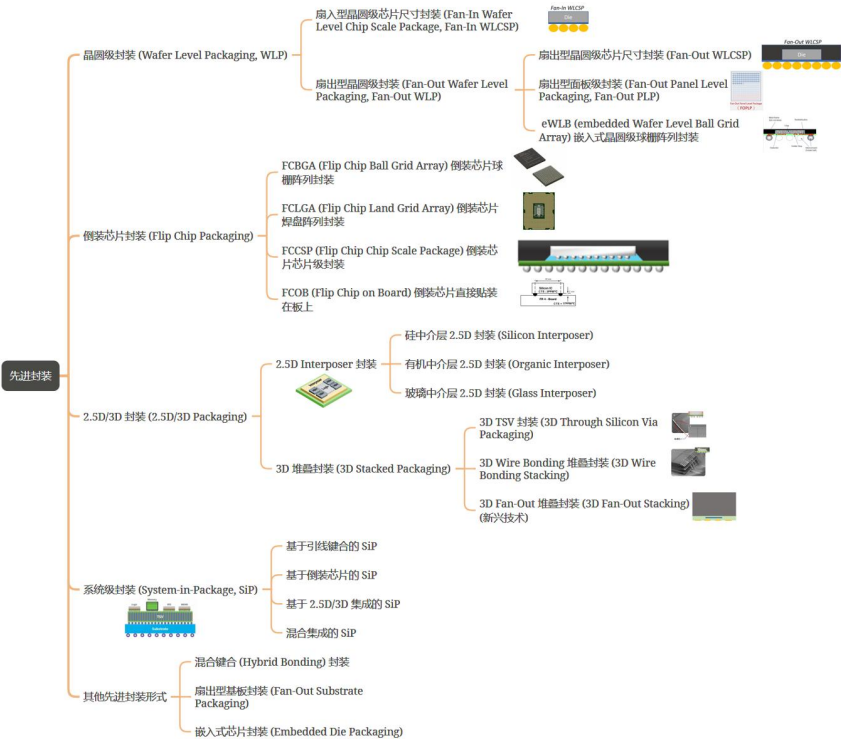
先进封装与传统封装的分类



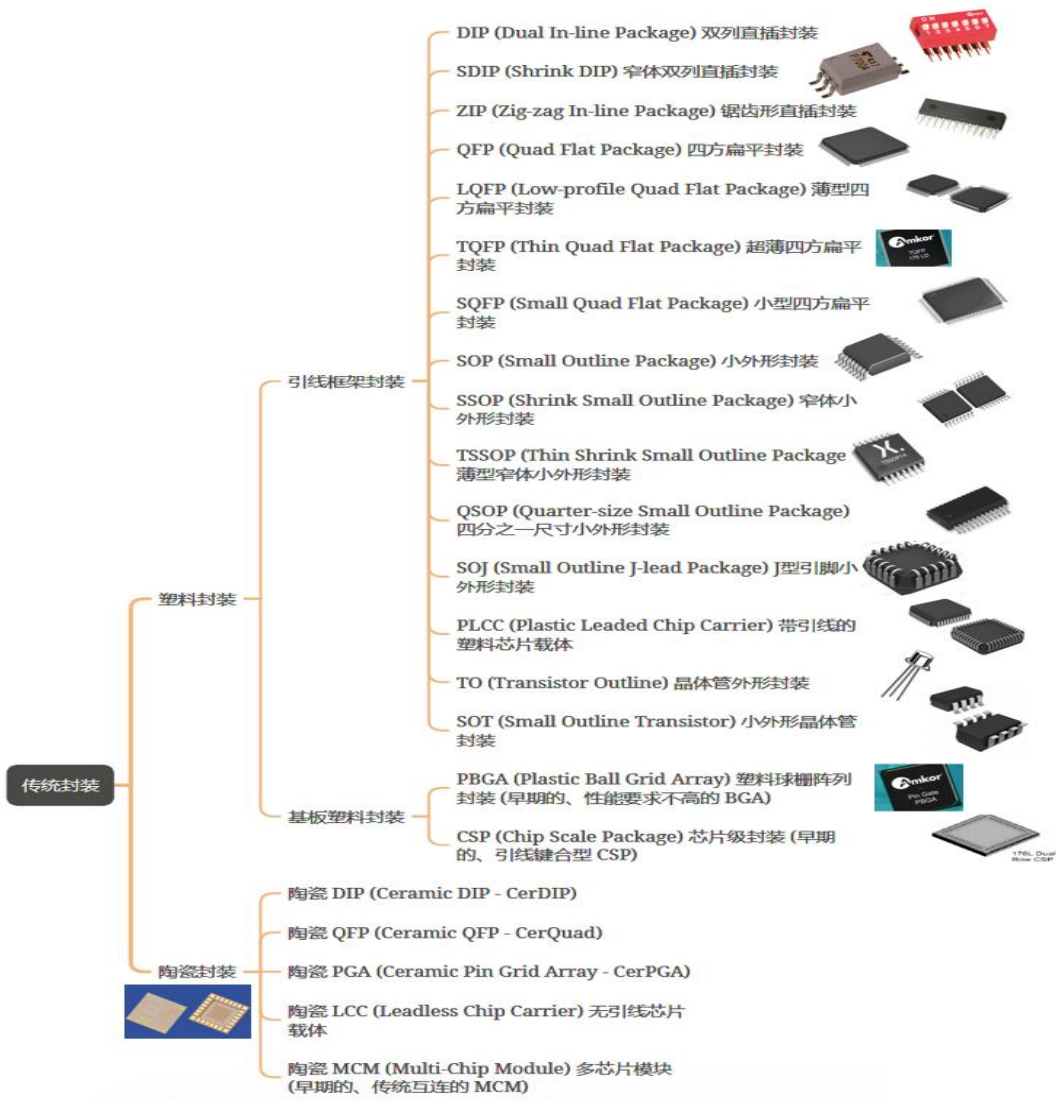
先进封装是指处于当时最前沿的封装形式和技术。

传统封装是为了保护芯片、提供连接；先进封装是为了通过更高效、更紧凑、更灵活的方式连接芯片和芯片内的各个部分，从而间接地、系统性地提升整体芯片/系统性能和功能。

图：先进封装的分类



图：传统封装的分类

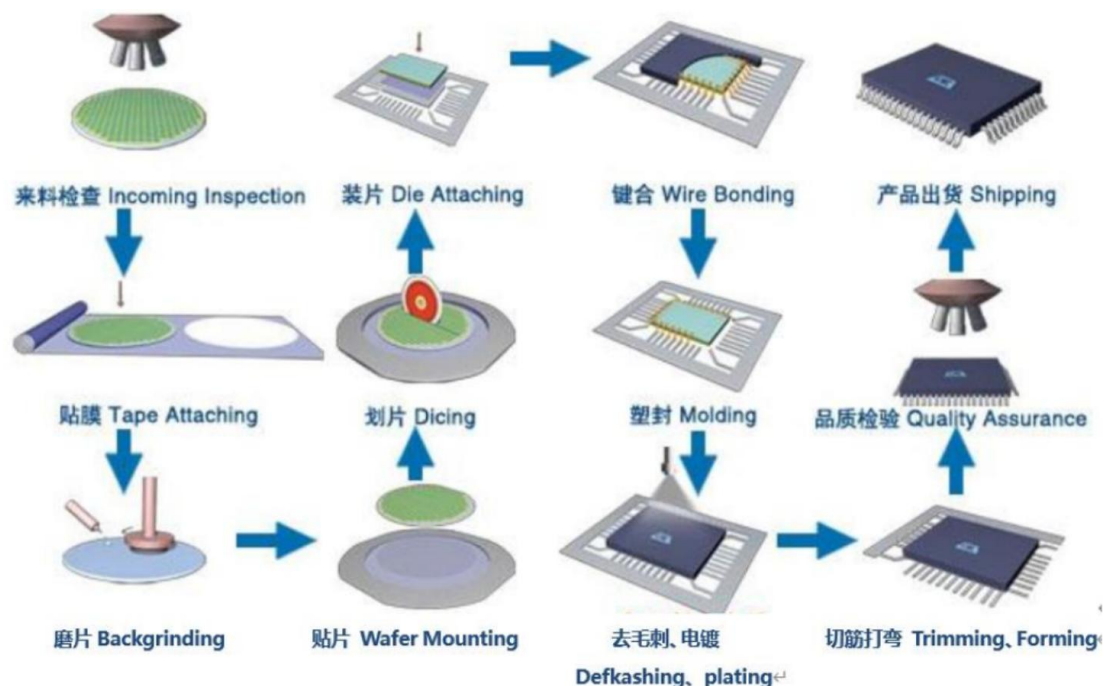




半导体封装流程

半导体封装流程主要包含了背部研磨；划片、拾取和放置；键合；塑封等。第一阶段为晶圆处理与切割。包含了来料检查、贴膜、磨片、贴片和划片等步骤。第二阶段为组装与互联。包含了装片、键合等环节。第三阶段为封装与后处理。包含了塑封、去毛刺和电镀、切筋打弯等步骤。第四阶段为测试与出货，包含了品质检测和产品出货等。

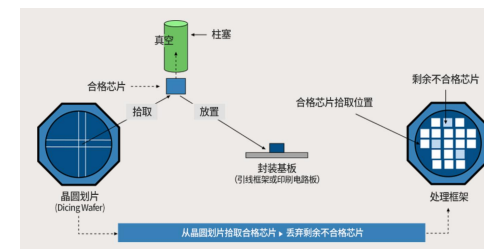
图：半导体封装流程



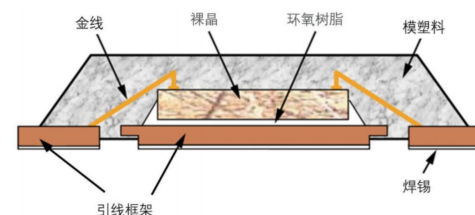
图：背部研磨



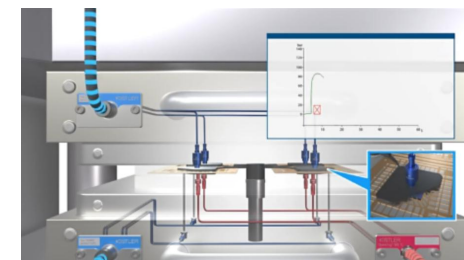
图：拾取和放置



图：键合



图：塑封





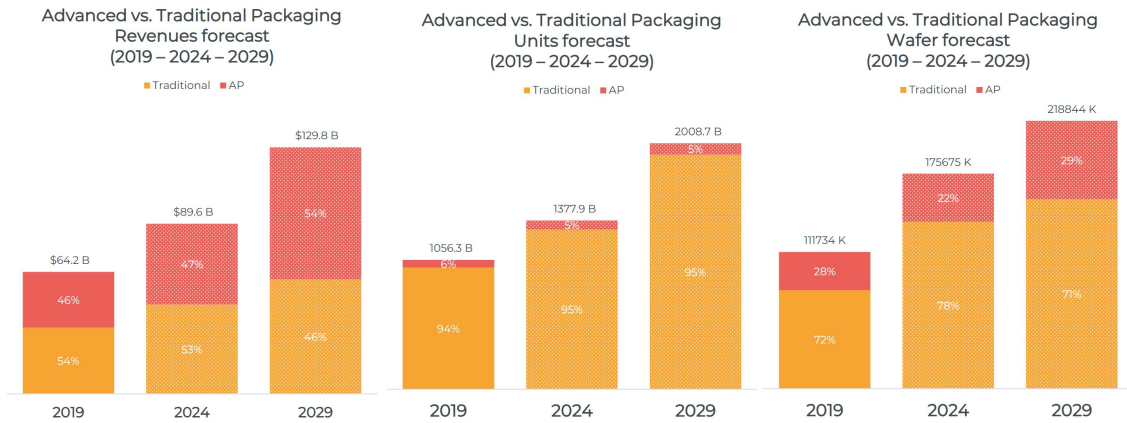
先进封装市场规模稳步增长、异构集成趋势明显



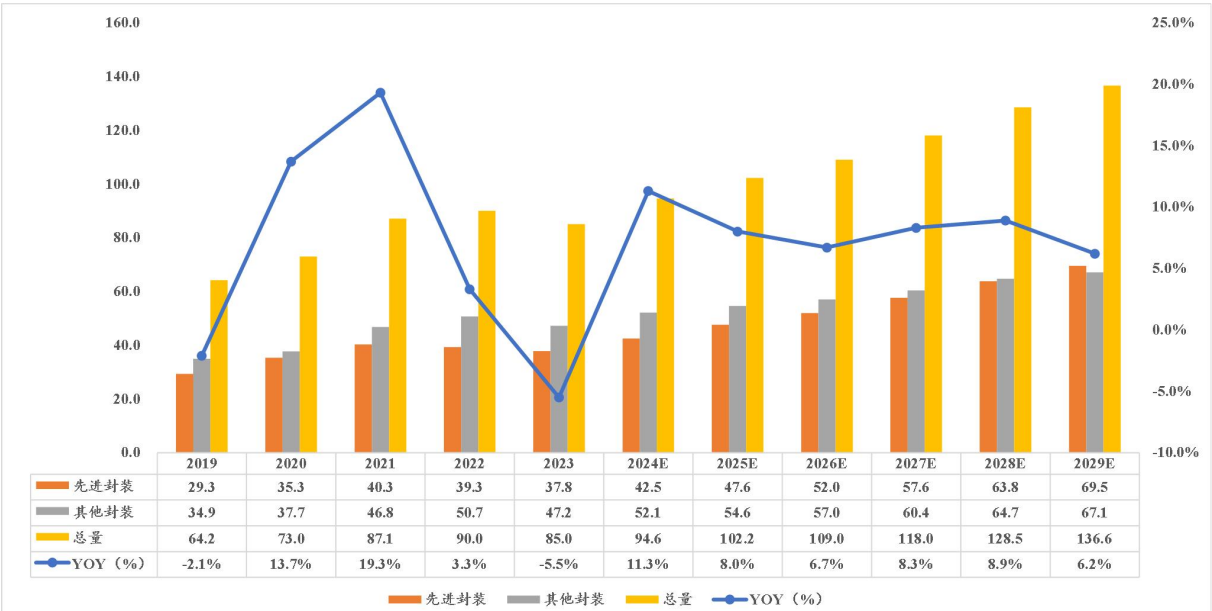
2019年到2029年先进封装的CAGR达8.9%；从2019年到2029年，先进封装占封装行业比例从45.6%攀升至50.9%。

市场规模层面：先进封装正在崛起，并将超越传统封装占据主要地位。单元数量层面：传统封装仍然是市场的主流，占据绝对的数量优势。晶圆消耗量层面：传统封装仍然消耗更多的晶圆，但先进封装的晶圆消耗量占比也在逐步提升。不同封装平台中，ED 和 2.5D/3D 预计将是增长最快的领域。先进封装市场份额趋势与异构集成趋势一致。

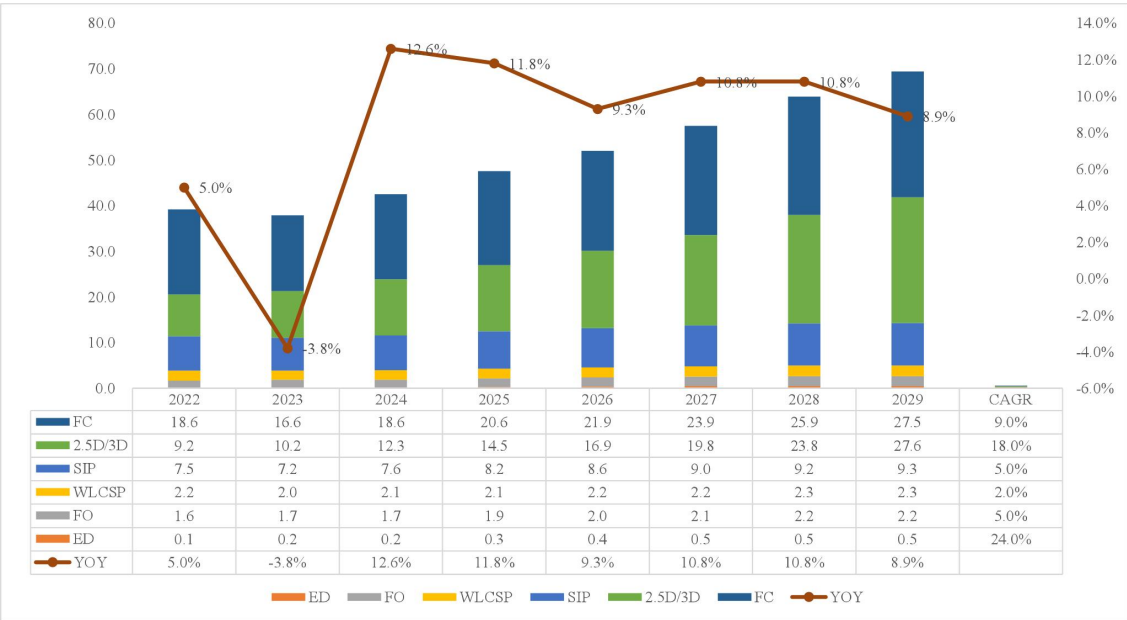
图：先进封装、传统封装的市场规模、单元及晶圆数量预测



图：全球封装市场规模（\$B）



图：全球各类先进封装技术市场规模及预期（\$B）

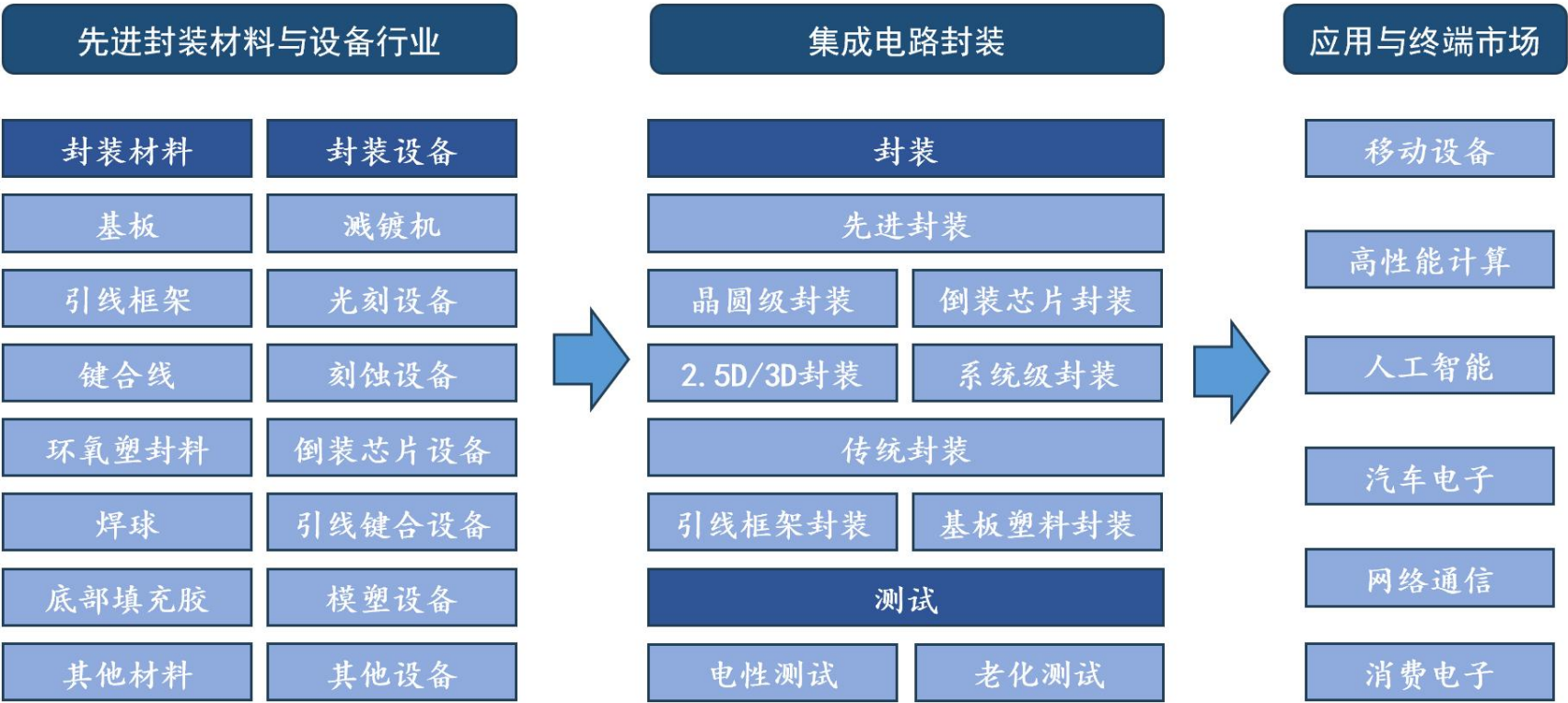


资料来源：YOLE，第一创业证券整理



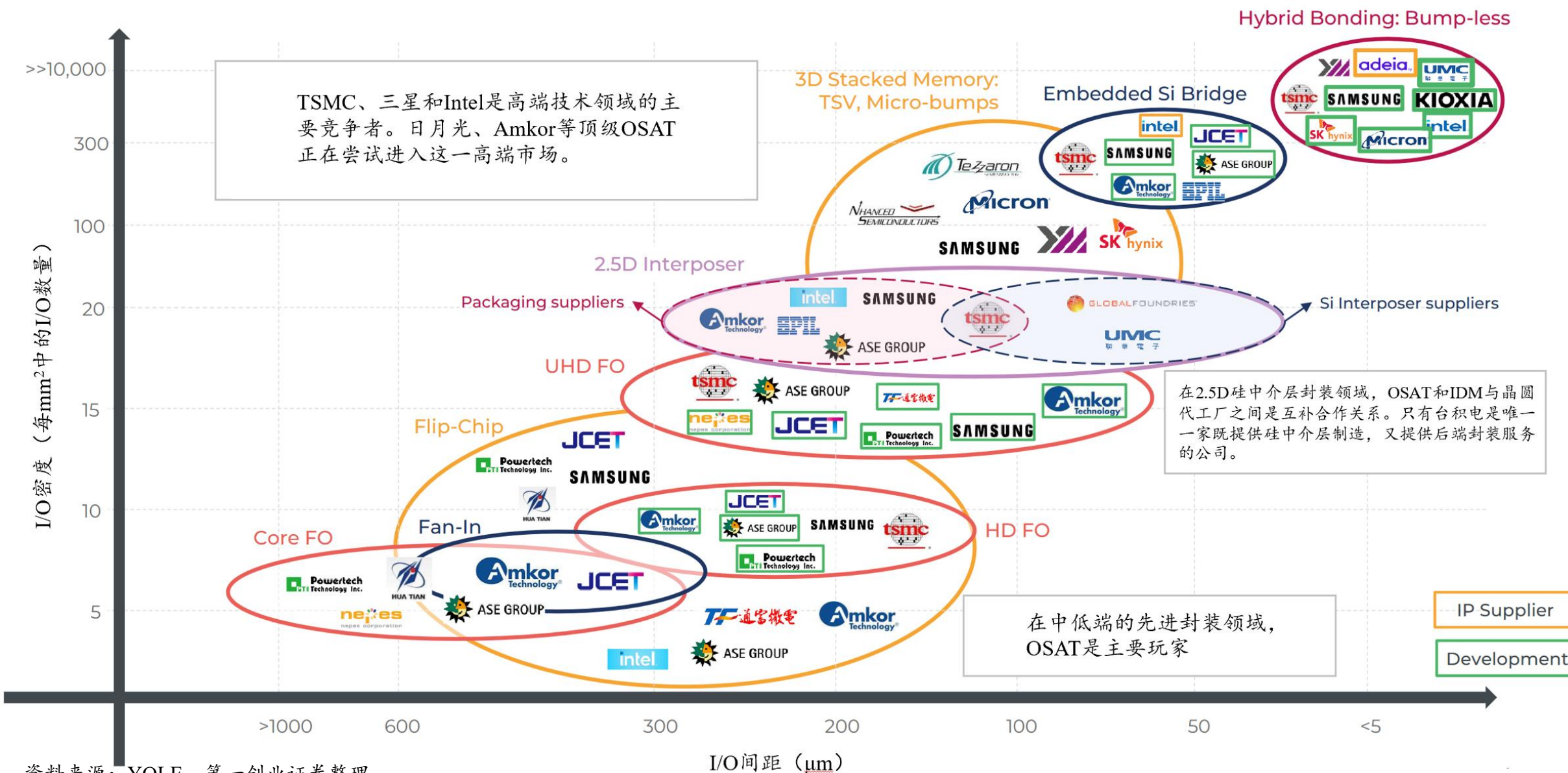
半导体封装上中下游分别为封装材料与设备、集成电路封装以及应用与终端市场。其中，上游提供封装所需的各种材料（基板、引线框架、键合线等）和设备（溅镀机、光刻设备等）；中游进行各种封装工艺（传统封装、先进封装、晶圆级封装等）和测试（电性测试、老化测试）；封装后的芯片应用于移动设备、高性能计算、人工智能和汽车电子等领域。

图：半导体封装行业产业链





先进封装领域的主要参与者

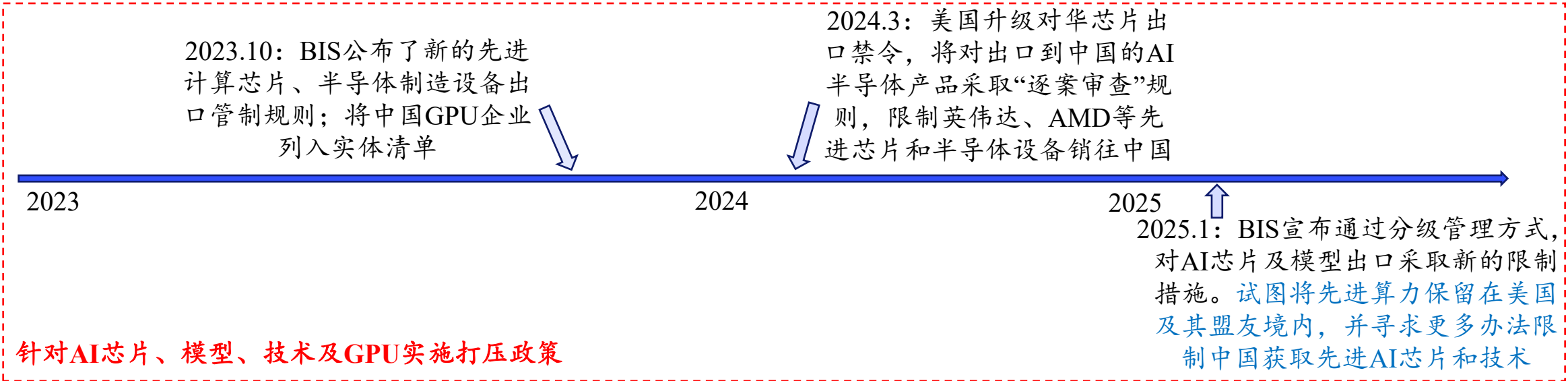
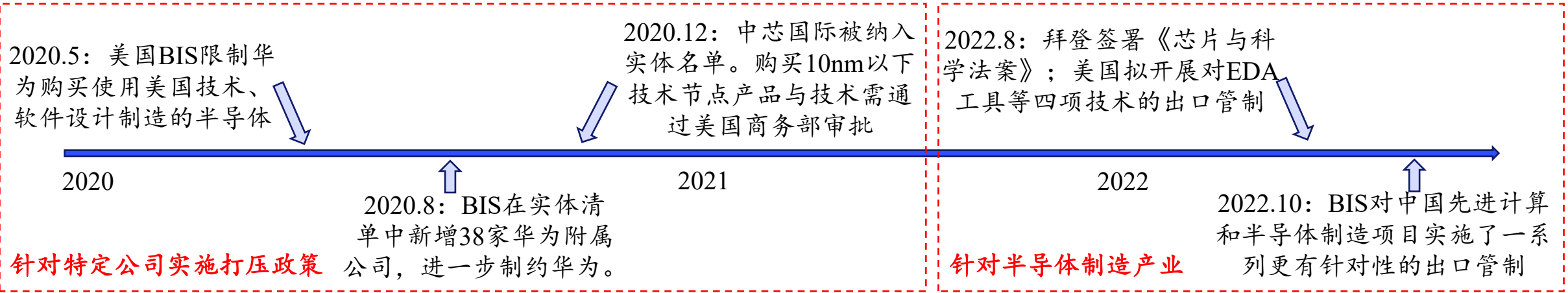




中国半导体行业遭受美国持续打压



美国制定一系列打压政策，对中国的半导体行业进行打击。当前的打击重点为芯片制程、AI芯片、模型、技术及GPU等，力图遏制中国AI领域快速发展。在芯片封装领域中国受到的打压相对较少。





产业发展的政策梳理：先进封装相关政策密集出台，大基金三期再度加码

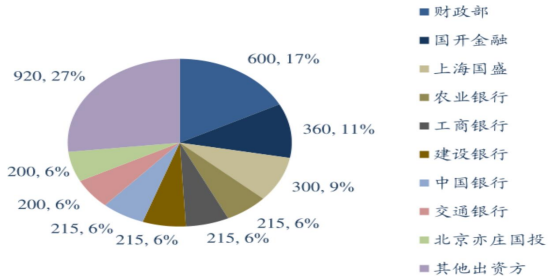


政府高度重视先进半导体封装，近年来出台了一系列政策措施鼓励和支持该领域发展。体现在集中研发、政府补助、税收优惠、人才培养、投融资等多方面。大基金三期于2024年5月正式注册，注册资本3440亿元，超过了一二期（987.2亿元、2041.5亿元）注册资本总和。

图：大基金一二期股东结构及资金分配



图：大基金三期募资结构



资料来源：第一创业证券整理

表：我国部分集成电路先进封装领域政策汇总

时间	政策名称	相关内容
2023年7月	《制造业可靠性提升实施意见》	提升芯片先进封装材料等电子材料性能分析评价技术研发和标准体系建设，推动在相关行业中的应用
2023年3月	《国家发展改革委等部门关于做好2023年享受税收优惠政策的集成电路企业或项目、软件企业清单制定工作有关要求的通知》	集成电路线宽小于0.5微米（含）的先进封装企业可享受税收优惠政策
2021年3月	《财政部 海关总署 税务总局关于支持集成电路产业和软件产业发展进口税收政策的通知》	国家鼓励的先进封装测试企业享受进口设备、重大项目分期纳税
2021年3月	《中华人民共和国国民经济和社会发展第十四个五年规划和2035年远景目标纲要》	实现包含先进封装在内的集成电路特色工艺突破；推动集成电路工业创新发展
2020年8月	《新时期促进集成电路产业和软件产业高质量发展的若干政策》	（1）国家鼓励的集成电路封装企业，自获利年度起，第一年至第二年免征企业所得税，第三年至第五年按照25%的法定税率减半征收企业所得税。（2）在先进高端封装领域推动创新平台的建设
2019年11月	《国家集成电路产业发展推进纲要》	提升先进封装测试业发展水平。大力推动国内封装测试企业兼并重组，提高产业集中度。适应集成电路设计与制造工艺节点的演进升级需求，开展芯片级封装、晶圆级封装、硅通孔、三维封装等先进封装和测试技术的开发及产业化
2017年5月	《两部门关于发布2017年工业转型升级（中国制造2025）资金工作指南的通知》	先进基础工艺重点支持集成电路封装
2016年12月	《“十三五”国家战略性新兴产业发展规划》	表明了战略性新兴产业是获取未来竞争优势的关键领域，需要提升封装测试业技术水平和产业集中度，加紧布局后摩尔定律时代芯片相关领域
2012年7月	《“十二五”国家战略性新兴产业发展规划》	阐述了新兴产业发展的背景和重要性，强调要突破先进和特色先进封装技术以及关键设备，培养我国集成电路产业竞争新优势
2011年12月	《工业转型升级规划2011-2015年》	阐明了工业化转型升级的必要性，提出了持续提升先进和特色集成电路芯片生产技术和能力，发展先进封装工作的目标，攻克关键工艺，实现重大产品、工艺创新的目标



中国半导体领域的优劣势分析



卡脖子技术：全球半导体产业链环节中，中国大陆在封装及封装设备领域已具备较强国际竞争力，但是在EDA、IP核、部分半导体材料、部分半导体设备领域存在明显的卡脖子问题（封装产业已成为AI芯片扩大产能的卡脖子环节）。下图中，绿色代表具有较强国际竞争力，黄色表示具备一定的竞争力，橙色表示竞争力微弱，红色表示几乎无竞争力。橙色和红色为卡脖子关键领域。

图：我国芯片卡脖子领域



资料来源：《The Semiconductor Supply Chain: Assessing National Competitiveness》，第一创业证券整理

/02

半导体先进封装的技术发展路径



先进封装的主要特征包含：高速信号传输、堆叠、高可靠性、低成本、小型化、散热性有保障等。

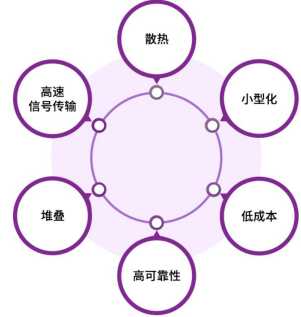
与之对应，半导体封装的核心思路有：提升电气性能、提高集成度与小型化、降低成本、增强可靠性与散热性和适应新型应用需求。

半导体封装经历了通孔插装技术、表面贴装技术（周边引脚）、表面贴装技术（阵列引脚）、3D 集成等发展阶段。

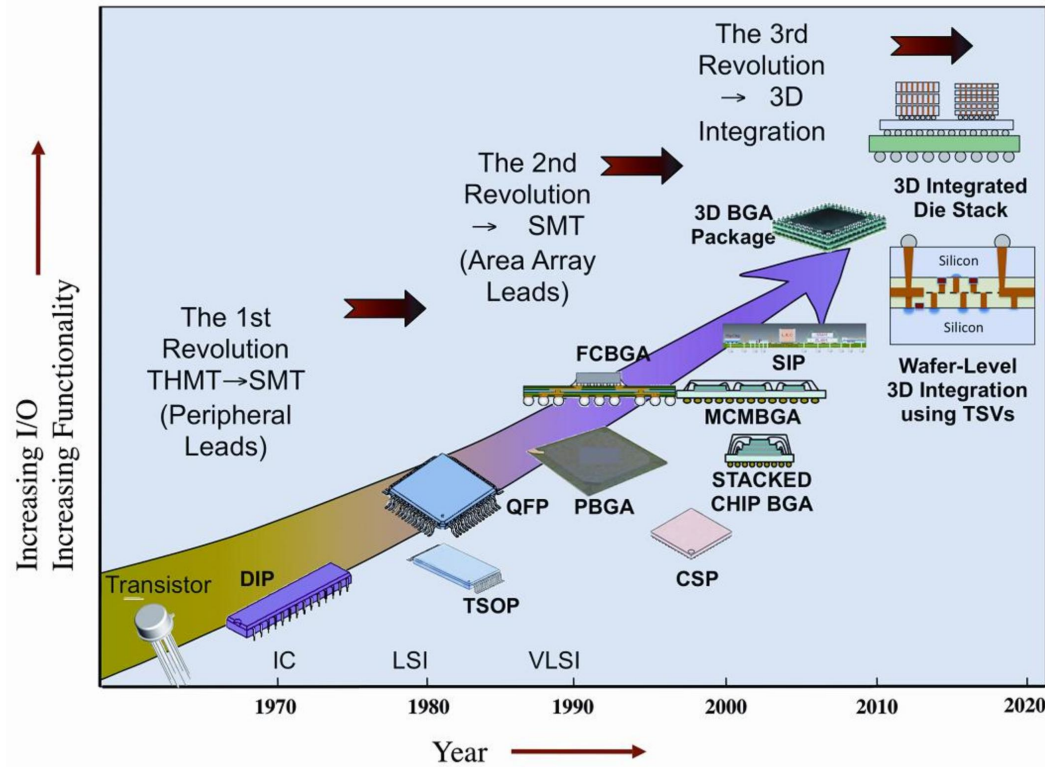
表：半导体封装发展的核心思路

核心思路	主要目标	驱动因素	关键技术方向
提升电气性能	更高速度和带宽	更快的芯片响应速度，大带宽数据传输需求	1. 缩短互连长度 2. 优化信号完整性 3. 低损耗材料 4. 先进互连技术
提高集成度与小型化	更高密度集成，更小封装尺寸	更强大的功能，更小巧的设备需求	1. 精细化工艺 2. 多芯片集成 3. 2.5D/3D 封装 4. 系统级封装 (SiP)
降低成本	经济高效的封装方案	市场竞争激烈，大规模应用需求	1. 简化工艺流程 2. 采用更经济的材料 3. 提高封装良率 4. 自动化和智能化生产
增强可靠性与散热性	增强封装可靠性，高效散热	保证长期稳定运行，高功率密度芯片挑战	1. 优化封装结构 2. 选用导热材料 3. 先进散热技术
适应新兴应用需求	满足不同应用场景的特殊需求	新兴技术快速发展，应用场景多样化	1. 针对性封装方案 2. 灵活的封装平台 3. 根据应用场景深度定制

图：先进封装的主要特征



图：半导体封装发展进程



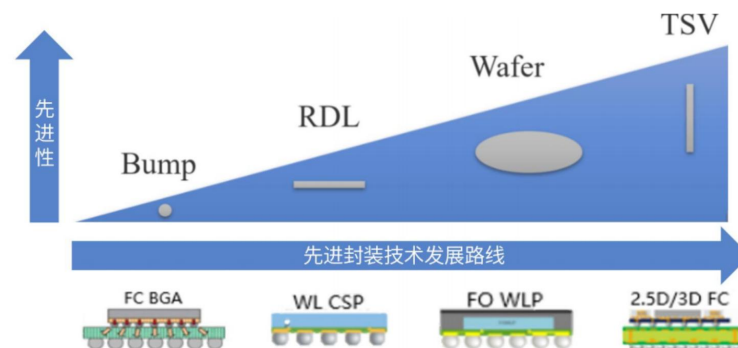


Bump、RDL、Wafer、TSV技术赋能先进封装

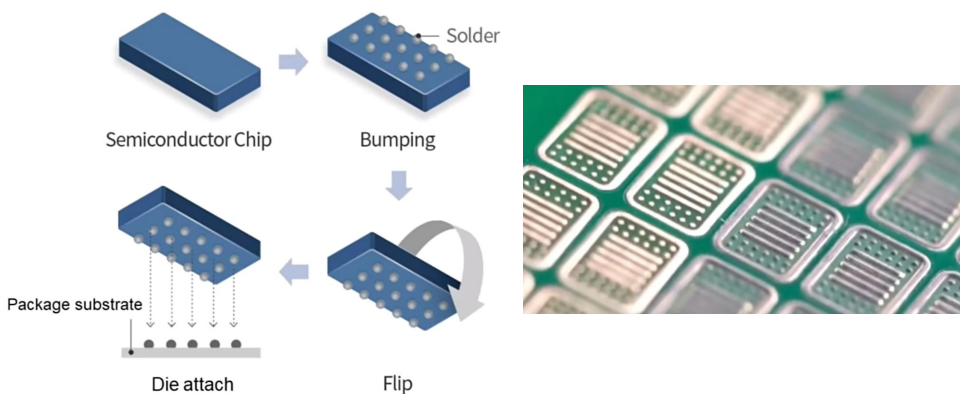
Bump（凸块/焊球）：在芯片焊盘上制作的微小金属凸起结构，通常为焊锡球，作为倒装芯片封装中芯片与基板间电气和机械连接的关键互连结构。

RDL（重布线）：在芯片或封装基板表面沉积的金属层，用于将芯片内部的焊盘 (Pad) 位置重新布线和引出，以适应封装外部互连的需求，实现扇出 (Fan-out) 和更灵活的封装引脚布局。

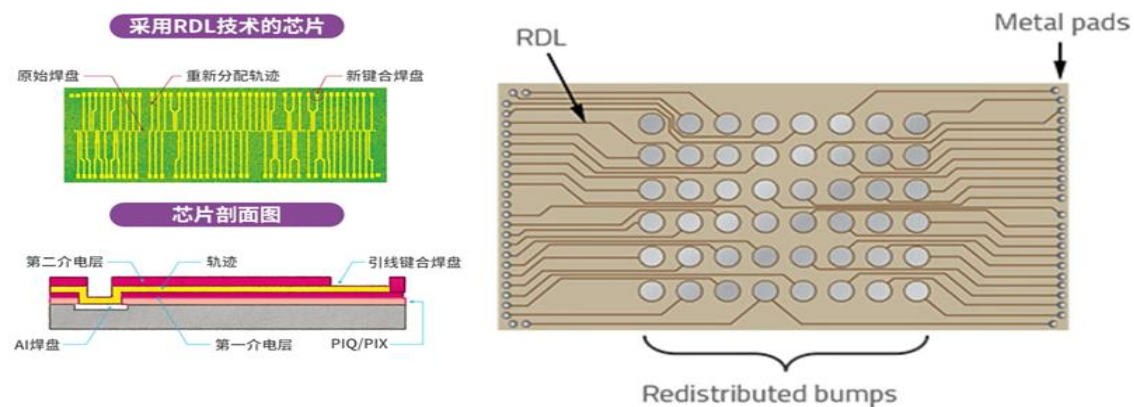
图：先进封装四要素



图：先进封装要素之一——凸点（Bump）



图：要素之二——重布线(RDL)





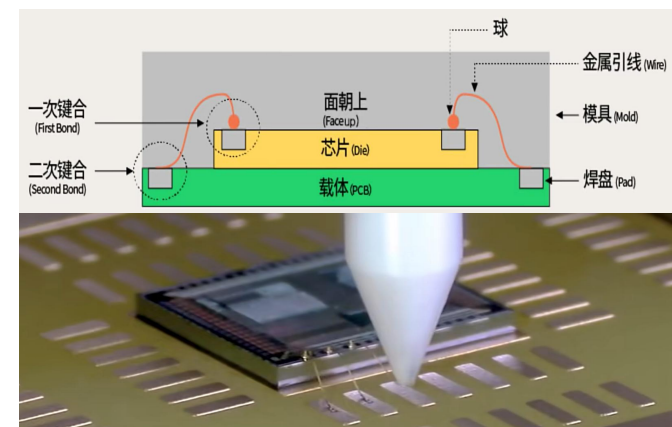
Bump、RDL、Wafer、TSV技术赋能先进封装



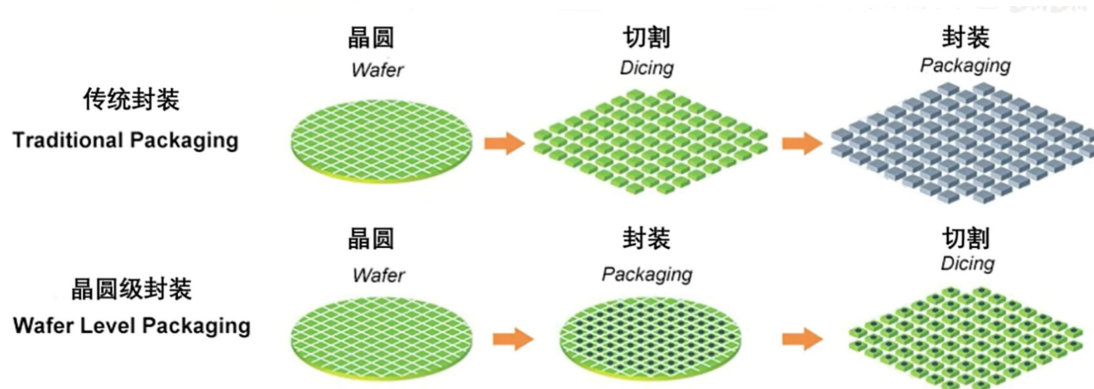
Wafer（晶圆级封装）：在整个晶圆完成芯片制造工艺后，在晶圆层面而非单颗芯片层面 进行封装和互连工艺。

TSV（硅通孔）：一种垂直穿透硅晶圆或芯片的微型金属化孔道，用于在三维 (3D) 集成电路中实现芯片之间的垂直互连，从而显著缩短互连距离，提高集成密度和性能。

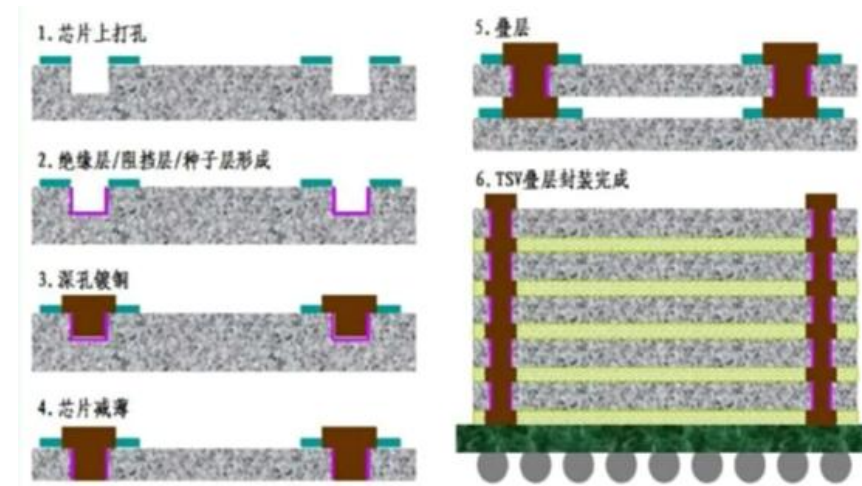
图：引线键合（传统封装）



图：要素之三——晶圆（Wafer）



图：要素之四——硅通孔（TSV）





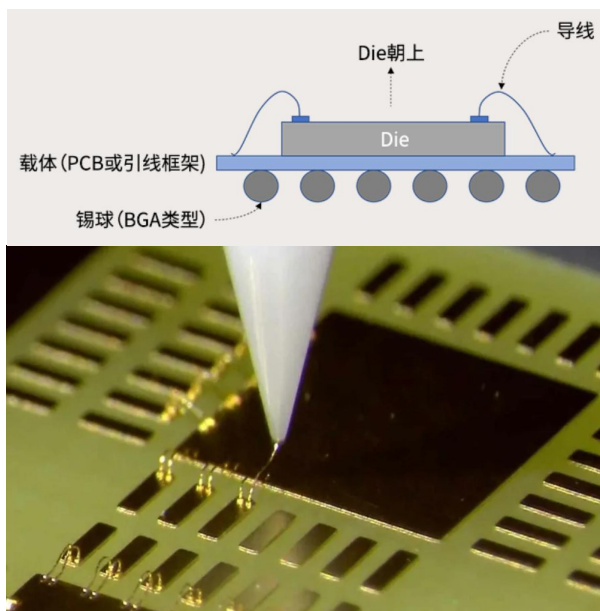
封装技术的发展路径：引线键合、倒片封装、晶圆级封装

引线键合工艺是将导电金属线焊接在一起以形成电连接的过程。

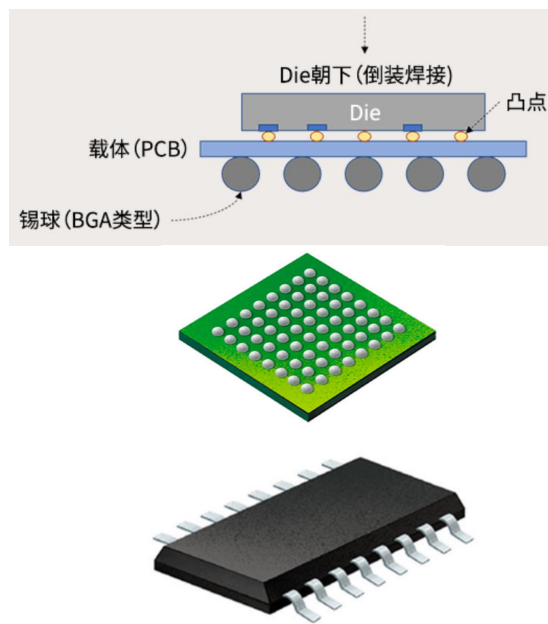
倒装芯片封装是一种将芯片有源面朝下，通过焊球直接与基板连接的封装技术。

晶圆级封装是在芯片还在晶圆上的时候就对芯片进行封装，保护层可以黏接在晶圆的顶部或底部，然后连接电路，再将晶圆切成单个芯片。**WLP**（晶圆级封装）有**Fan-In**（扇入式）和**Fan-Out**（扇出式）两种类型。**FIWLP**尺寸与芯片本身尺寸相同，但**I/O**数量一般较少；**FOWLP**在芯片面积之外区域充分利用**RDL**做连接，相比于同面积**FIWLP**，拥有更多引脚数。

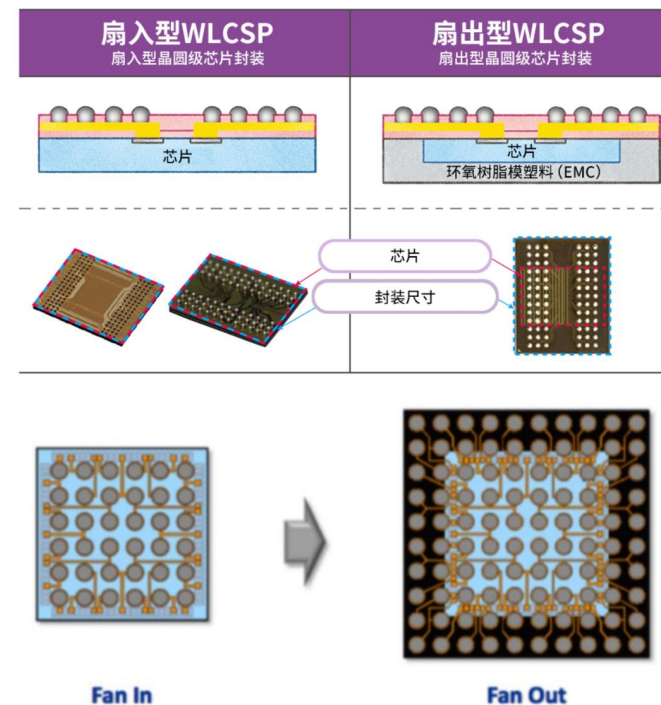
图：引线键合



图：倒片封装



图：晶圆级封装



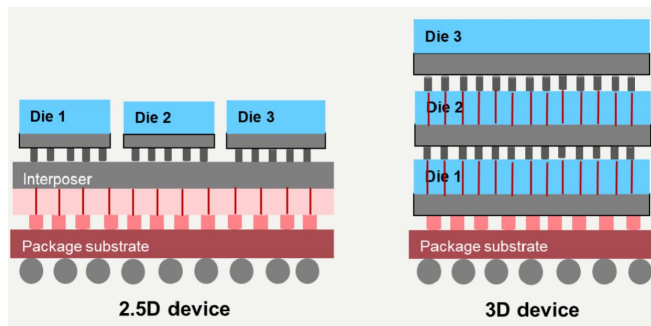


封装技术的发展路径：2.5D、3D封装

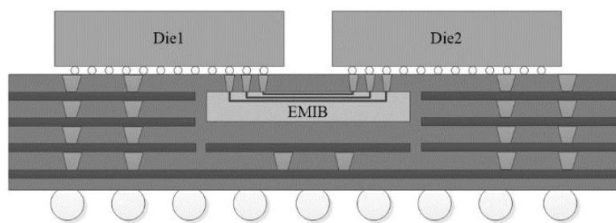
2.5D封装的典型代表分别为台积电的CoWoS封装以及英特尔的EMIB封装。

3D封装通过TSV技术，实现多个芯片垂直堆叠互连。3D封装中，芯片相互靠得很近，所以延迟会更低、相关寄生效应会更少，使器件以更高频率运行，从而转化为性能改进。

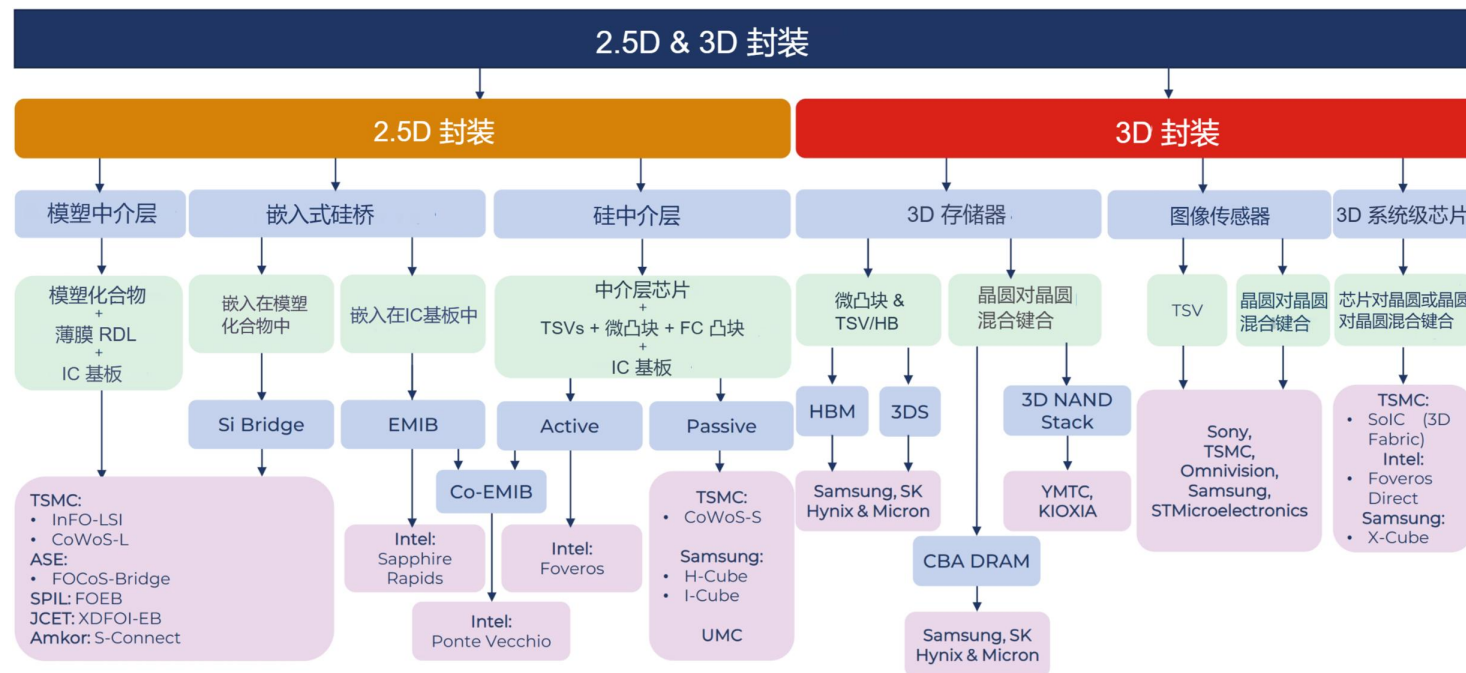
图：2.5D、3D封装剖视图



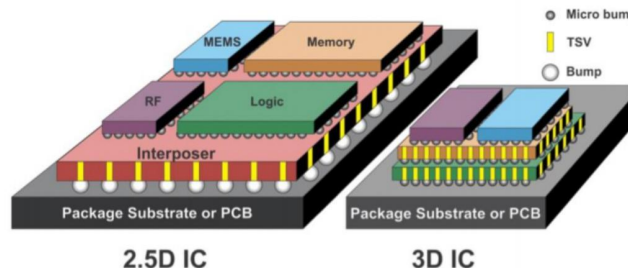
图：2.5D的EMIB封装



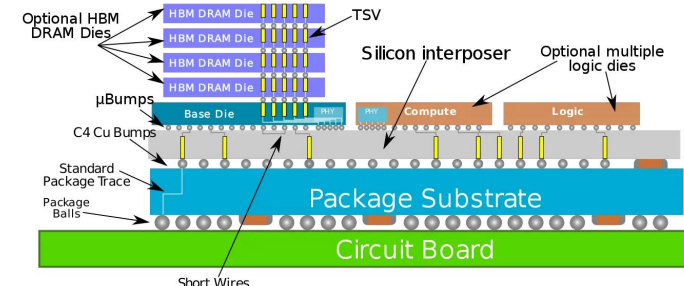
图：2.5D、3D封装技术分类



图：2.5D、3D封装立体视图



图：一种2.5D、3D混合封装





封装技术的发展路径：Chiplet封装

在半导体制程工艺不够先进的情况下，可通过Chiplet技术将制造环节的难度和成本转移到封装环节（芯片堆叠），发挥中国在封装工艺上的领先优势，助力实现弯道超车。

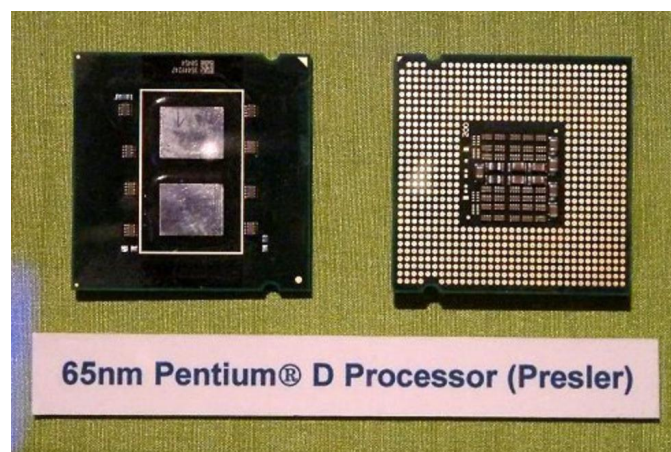
英特尔的奔腾D芯片方案是chiplet方案的雏形，实现了 $1+1 \approx 1.3$ 的效果。

苹果的ultrafusion技术几乎实现了 $1+1=2$ 的效果。该技术使两块M1 MAX之间的信息传输速率达到了2.5T/s。

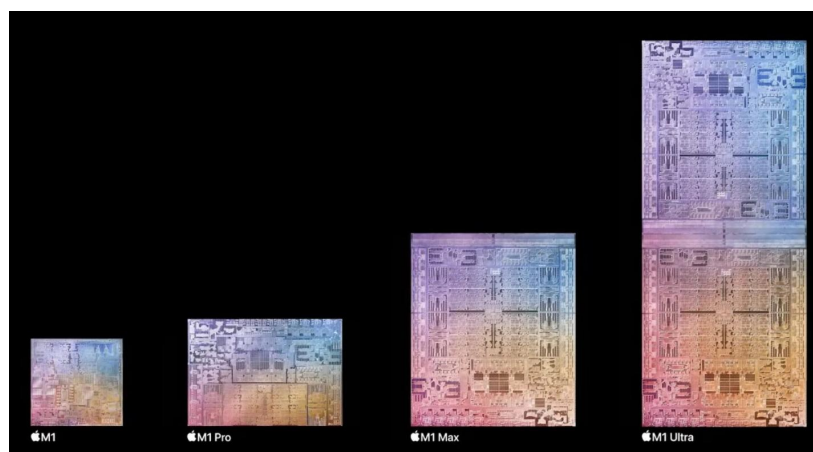
英伟达H100采用台积电的COWOS封装方案，中间是一块完整的SOC，两边是6个HBM内存芯片；而AMD的MI300采用了Chiplet封装方案，将中间的SOC拆散成13个小芯片，分别是1个CPU、8个GPU和4个I/O芯片。MI300容纳了1460个晶体管（H100容纳800亿个），性能达到了H100的3倍。

局限性：如果光刻技术差距达两代以上，靠封装就追不上了。

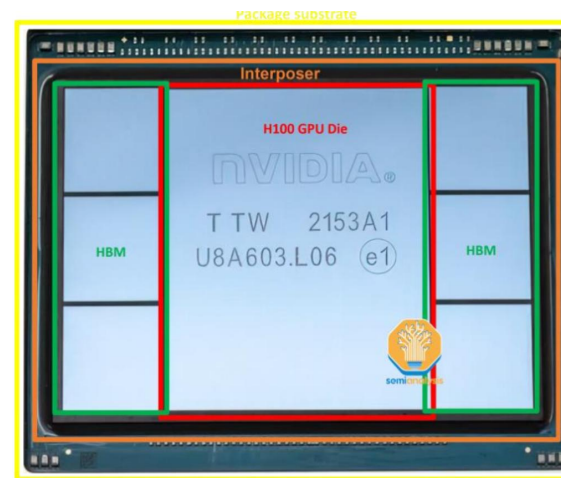
图：奔腾D处理器



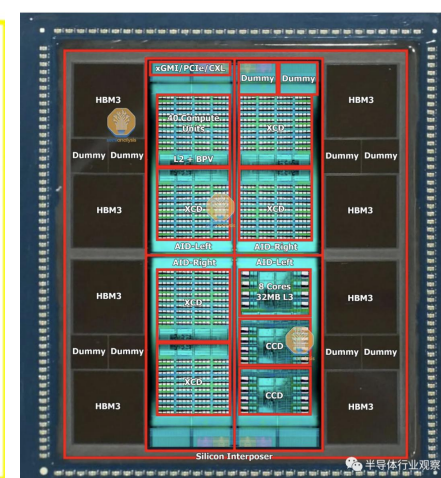
图：苹果M1系列处理器



图：英伟达H100



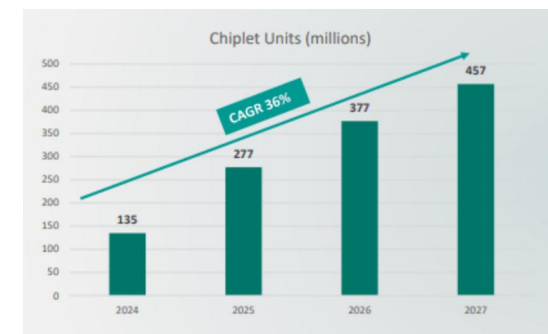
图：AMD的MI300



图：苹果M1系列跑分

Mac13,1	
M1 Max	
Geekbench 5 Score	
1767 Single-Core Score	12586 Multi-Core Score
Geekbench 5.4.4 Tryout for macOS AArch64	
Mac13,2	
M1 Ultra	
Geekbench 5 Score	
1793 Single-Core Score	24055 Multi-Core Score
Geekbench 5.4.4 Tryout for macOS AArch64	

图：2024-2027年CAGR
预期可达36%



资料来源：Camtek 官网



先进封装助力行业迈向高集成、低功耗——芯片行业进入后摩尔时代

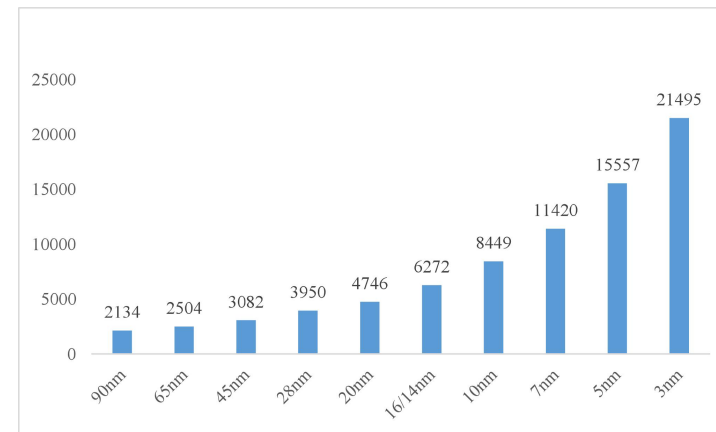
摩尔定律是戈登·摩尔在1965年提出的一个预测：晶体管上可容纳的晶体管数量，每隔两年增长一倍，同时性能也将提升一倍，成本下降一半。

后摩尔时代：依靠缩小晶体管尺寸来提升性能和降低成本的模式，已经遇到物理和经济上的瓶颈，变得越来越困难和昂贵。

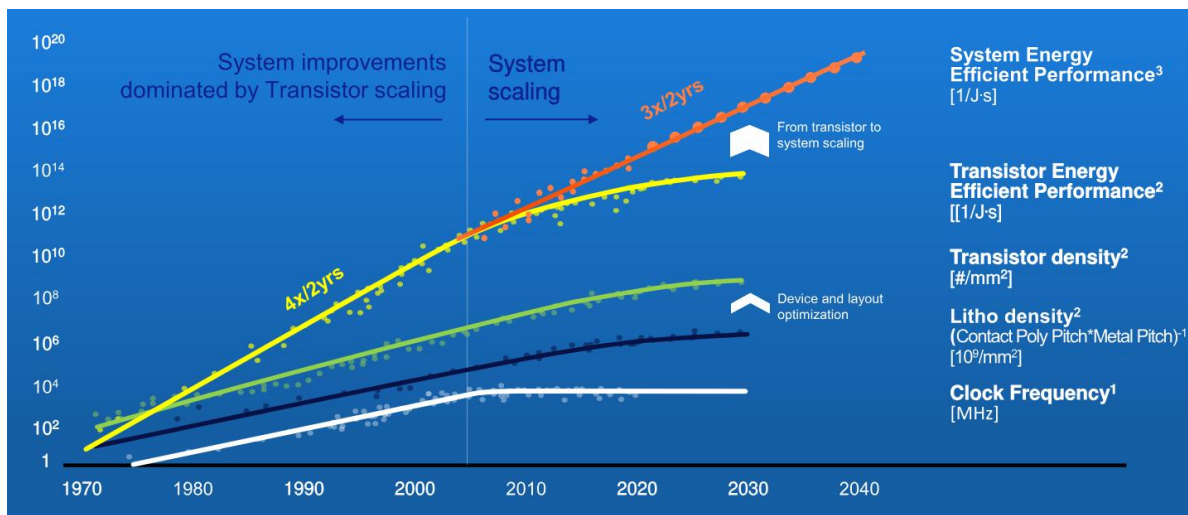
物理极限方面，隧道效应：电子会穿透绝缘层，导致漏电增加，功耗上升；热耗散：更小的晶体管密度意味着更高的热密度，散热问题变得更加严峻；原子尺度限制：晶体管尺寸已接近原子尺度，进一步缩小尺寸难度极大。

后摩尔时代的特征和发展趋势主要体现在：异构集成（通过Chiplet、2.5D/3D等封装技术实现）、架构创新、超越硅基材料等方面。

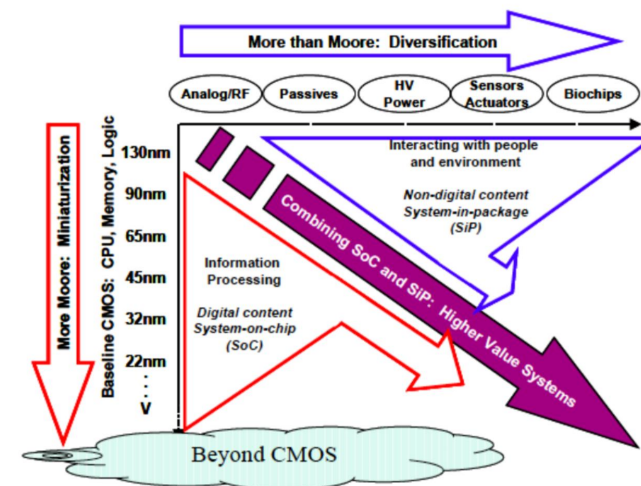
图：不同制程晶圆每5万片产能设备投资额走势图（百万美元）



图：摩尔定律减缓



图：后摩尔时代的发展路径





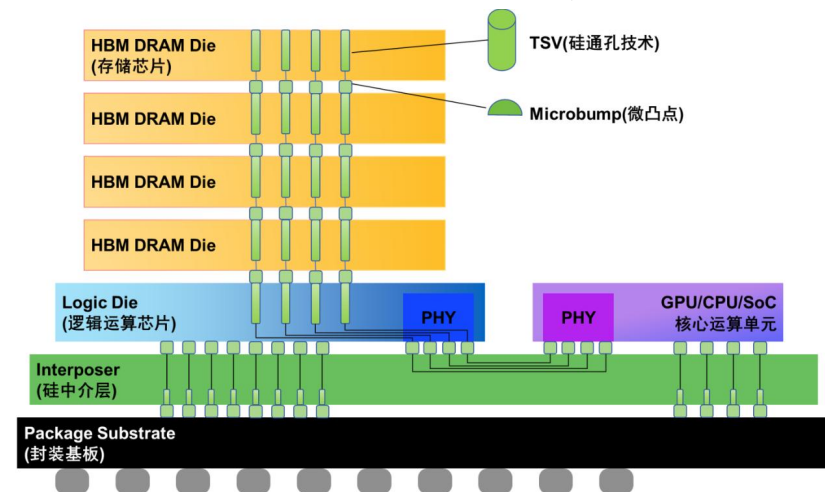
先进封装助力行业迈向高集成、低功耗——破解存储墙

近20年，处理器峰值算力每两年提升3倍，而DRAM带宽每两年提升1.6倍，互连带宽每两年提升1.4倍，使存储器的发展远落后于处理器。AI领域，AI模型规模的指数级增长也远远超过了硬件内存容量的增长速度。

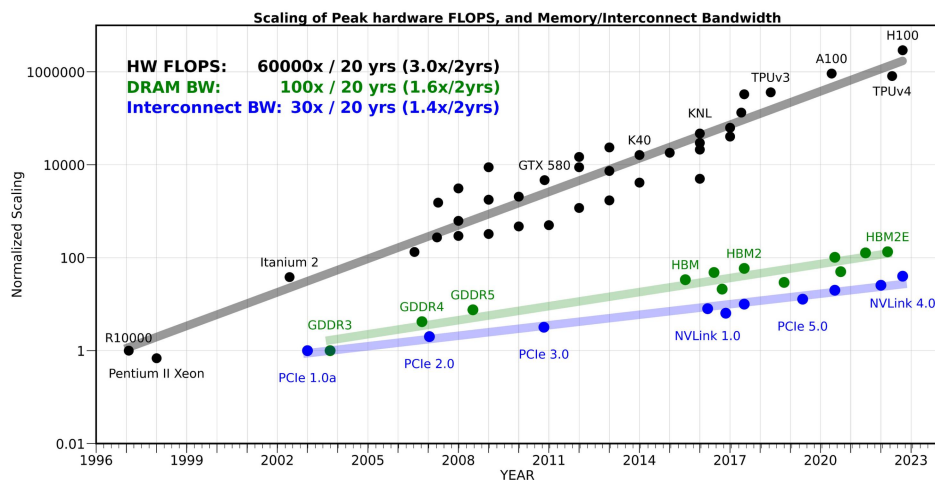
内存墙：指内存带宽较慢的发展速度制约了CPU性能发挥的现象。

先进封装带来的突破：通过2.5D/3D封装技术制备HBM（平房和楼房的区别），可大幅提升内存带宽；将计算单元与内存尽量靠近放置（COWOS、EMIB、Chiplet等技术），降低传输距离。

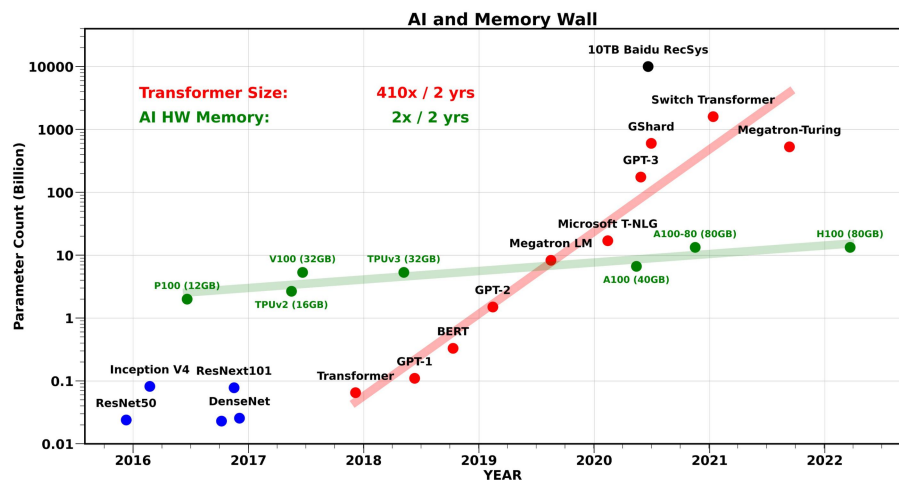
图：HBM技术图解



图：存储计算剪刀差



图：人工智能与存储墙



图：传统2D封装示意图





先进封装助力行业迈向高集成、低功耗——破解面积墙

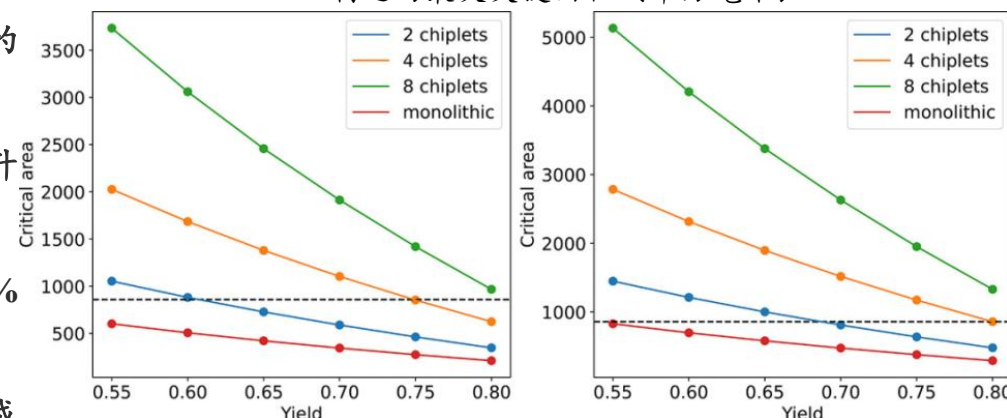
面积墙：芯片尺寸受制于光刻机曝光场尺寸，当前最先进的极紫外光刻机的典型曝光场尺寸通常为 858mm^2 （ $26*33$ ），单次曝光下，芯片面积不能超过曝光场尺寸。当前，英伟达的A100 GPU芯片面积已达到 826mm^2 。

增加曝光场面积会提升光学系统设计的复杂性，带来机械系统和运动控制方面的挑战，提升光掩模制造的难度，进而大幅提升成本。

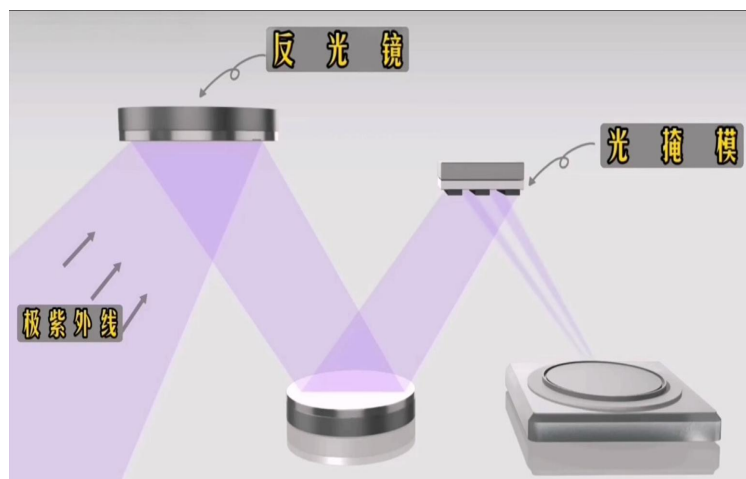
随着面积增加，良率呈现出迅速下降趋势。芯片面积从 213mm^2 提升到 777mm^2 ，良率从59%下降到26%。

通过Chiplet、2.5D/3D等封装技术可将多个芯片堆叠或并排封装在一起，实现更高的系统集成度，突破单芯片面积限制。

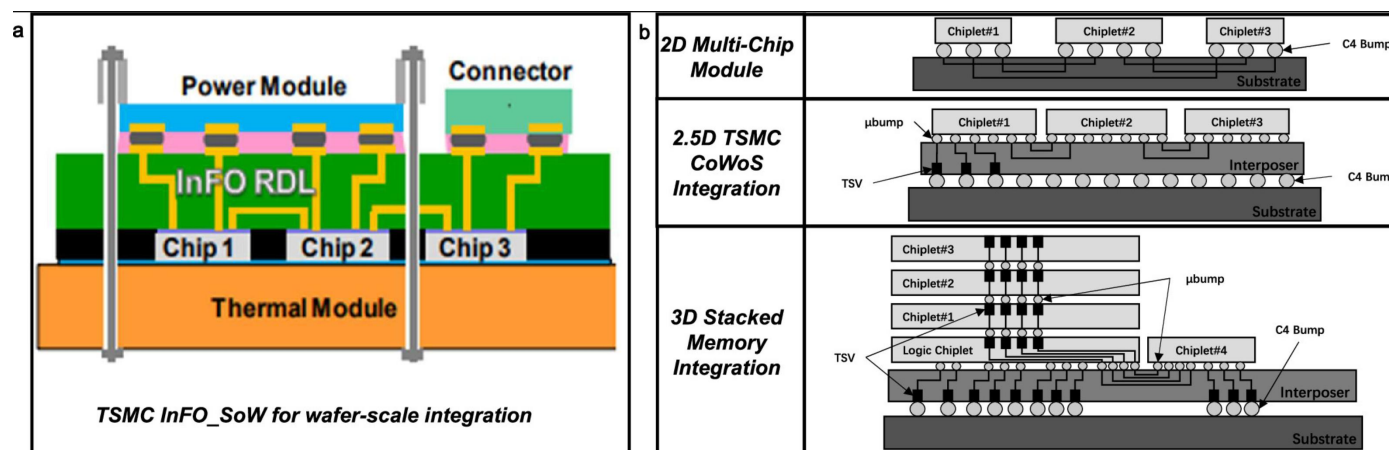
图：良率限制下5纳米、14纳米工艺可制造的最大关键面积（平方毫米）



图：光刻机原理图



图：面积墙的封装解决方案





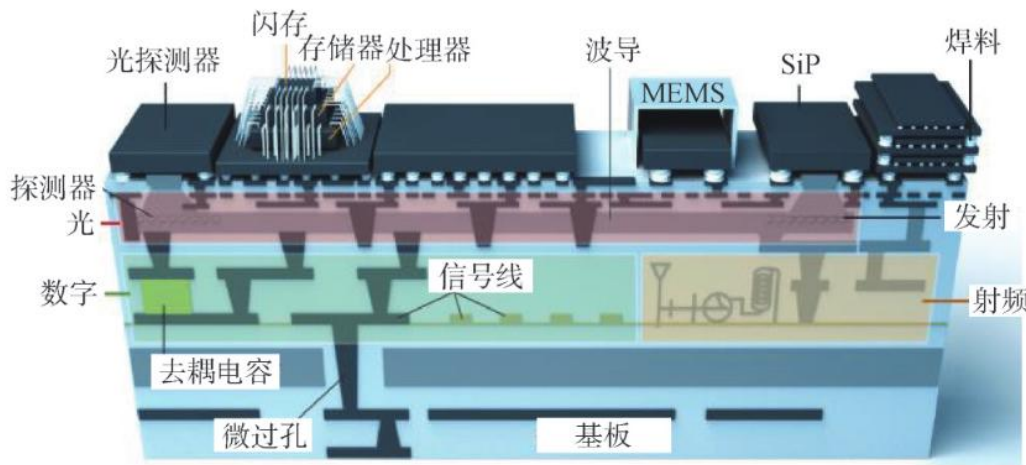
功耗墙：随着晶体管密度的提升，功耗密度也急剧上升，散热问题日益严峻，限制了芯片性能的进一步提升。

功能墙：单纯依靠单片集成电路（SoC）难以满足日益增长的复杂应用需求，难以集成传感器、模拟电路、射频电路、功率器件等。

功耗墙的解决：**异构集成**可将不同制程工艺、不同功能的芯片集成在一个封装内，针对不同功能模块选择不同工艺，优化整体功耗。**更短的互连**可减少信号传输距离和电阻，降低功耗。先进封装技术可集成更好的**散热解决方案**，例如导热界面材料等，帮助芯片更好地散热。先进封装可以更灵活地进行**电源分配和管理**，例如通过3D堆叠实现垂直电源供电，提升电源效率。

功能墙的解决：**系统级封装（SIP）**技术可将不同类型芯片（数字芯片、模拟芯片、传感器芯片、存储芯片、无源器件等）及其他原件（连接器、天线）集成在一个封装内，形成一个完整的系统模块。

图：集成电路“功能墙”挑战



/03

重点关注的设备和材料细分领域



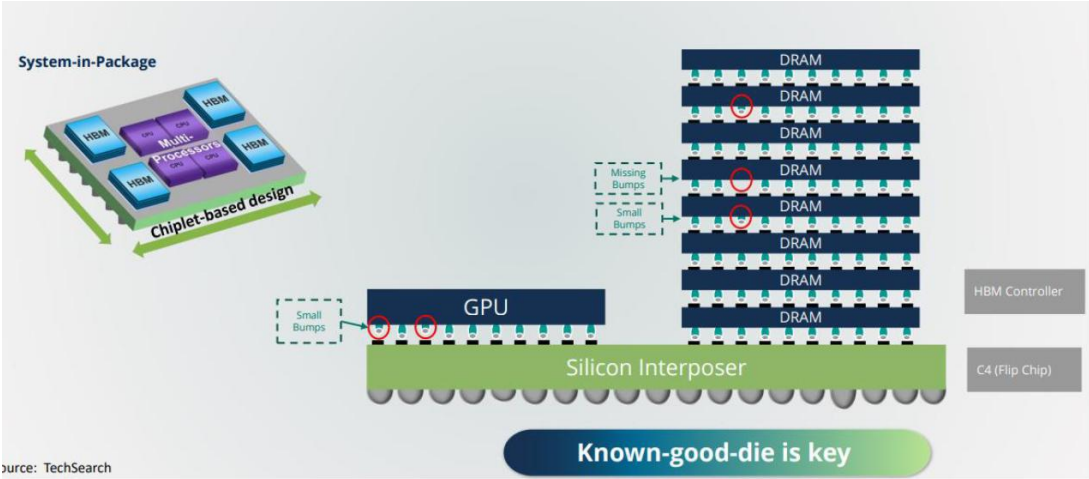
检测、量测设备是先进封装技术成功实现的关键保障。先进封装工艺更复杂、精度要求更高，没有精确可靠的检测量测，就无法保证良率和性能。

根据YOLE的数据，**工艺节点每缩减一代，工艺中产生的致命缺陷数量增加50%**。随着工艺制程越来越先进，工艺环节不断增加，检测、量测设备的需求量不断攀升。

先进封装领域，2.5D封装要求设备完成RDL表面缺陷检测、TSV轮廓量测等；3D封装要求检测设备完成晶圆翘曲量、检核表面轮廓量测、键合表面洁净度检测等。

按营收计算，2023年半导体检测量测设备国产化率仅为5.5%，随着海外出口管制政策的不断收紧，以中科飞测、上海精测、精测电子、睿励科学、东方晶源为代表的国产厂商市场份额有望持续提升。

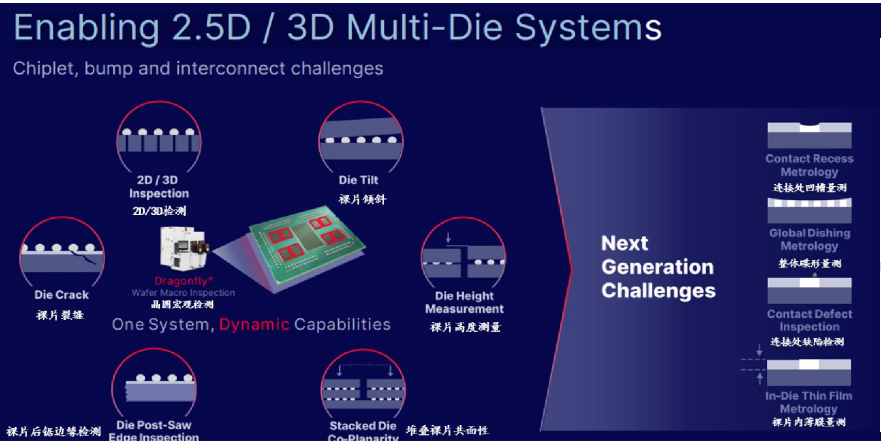
图：HBM堆叠的凸块容易出现大小不一、缺失等问题



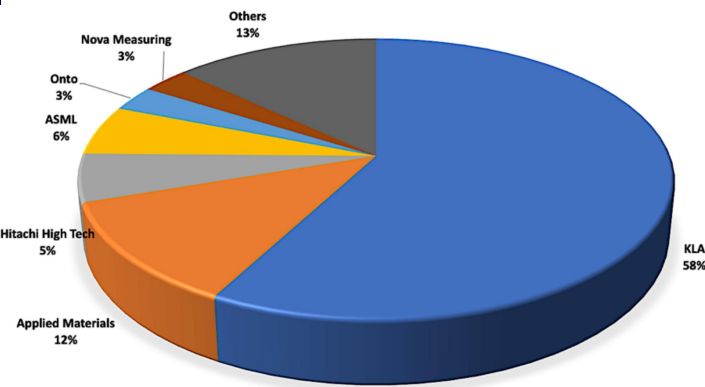
图：半导体检测、量测设备市场占比

产品类型		市场空间占比	前道制程				化合物半导体	先进封装	硅片及制程设备
			逻辑芯片	存储芯片	功率芯片	MEMS芯片			
检测设备	明场纳米图形晶圆缺陷检测设备	19.5%							/
	无图形晶圆缺陷检测设备	10.3%							
	暗场纳米图形晶圆缺陷检测设备	8.4%							/
	图形晶圆缺陷检测设备	7.7%							/
量测设备	光学关键尺寸量测设备	8.9%						/	/
	套刻精度量测设备	6.7%							/
	介质薄膜膜厚量测设备	3.9%							/
	三维形貌量测设备	0.6%							
智能软件	金属薄膜膜厚量测设备	0.6%							/
	良率管理系统								/
	缺陷自动分类系统								/
	光刻套刻分析反馈系统						/	/	/

图：2.5D/3D封装开展多方面检测



图：全球半导体检测量测市场呈现寡头垄断格局

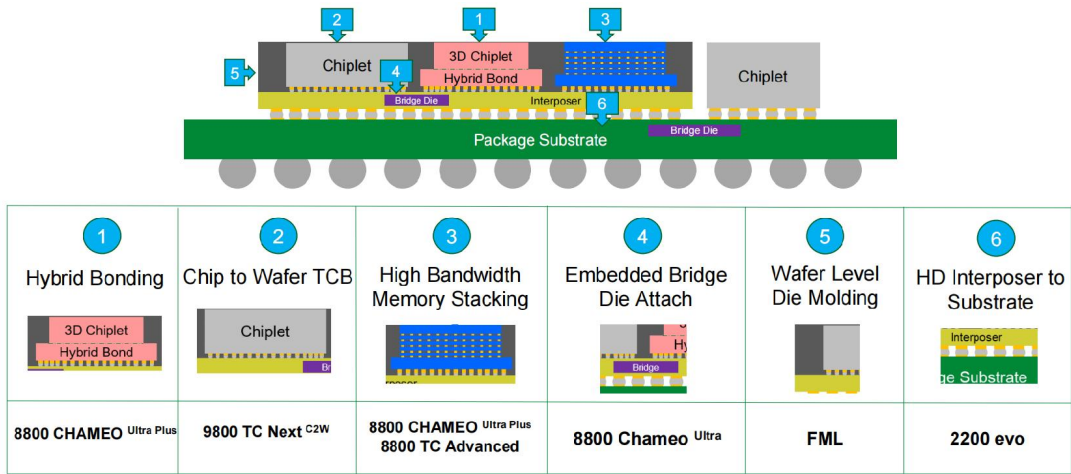


资料来源：VLSI、onto2023 analyst、TechSearch、第一创业证券整理

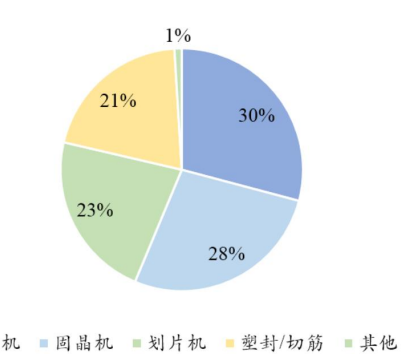
固晶机，作为封装工艺中的关键设备，承担着将芯片精准、高效地贴装到基板或互连结构上的重任。固晶机设备不仅是先进封装生产线的核心组成部分，更是影响封装良率、效率和最终产品性能的关键因素，是半导体先进封装领域中一个极具战略意义和发展潜力的细分方向。

半导体行业中，IC固晶机需求占比最大，约为45%；LED固晶机占比约为33%。LED类固晶机国产化比例可达到90%以上，但IC固晶机和分立器件固晶机国产化比例均为10%以下，有较大的增长空间。

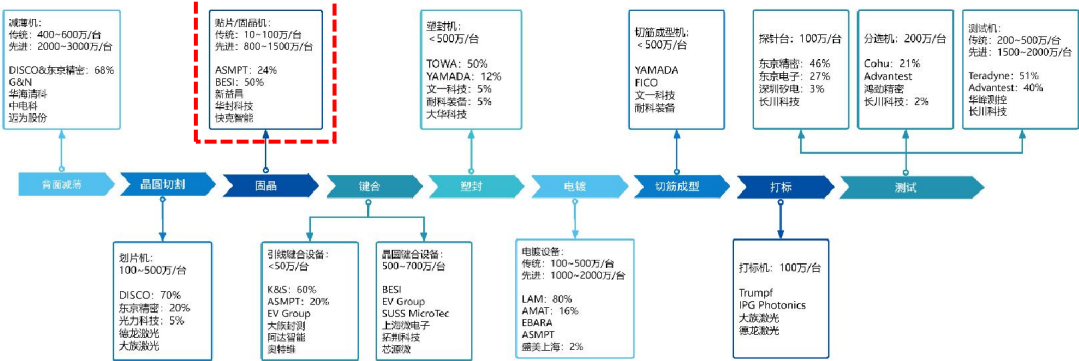
图：2.5D/3D封装中需要用到固晶机的环节



图：半导体封装设备市场份额



图：传统封装基本流程及相应先进封装变化



表：固晶机的分类

细分行业	固晶运用工艺段	精度要求	固晶机类别
IC	原材料-晶圆制造-封测	较高	IC固晶机
分立器件	原材料-晶圆制造-封测	较低	分立器件固晶机
LED	外延片-芯片制造-封测	较低	LED类固晶机

资料来源：TechInsights、Besi 官网、第一创业证券整理

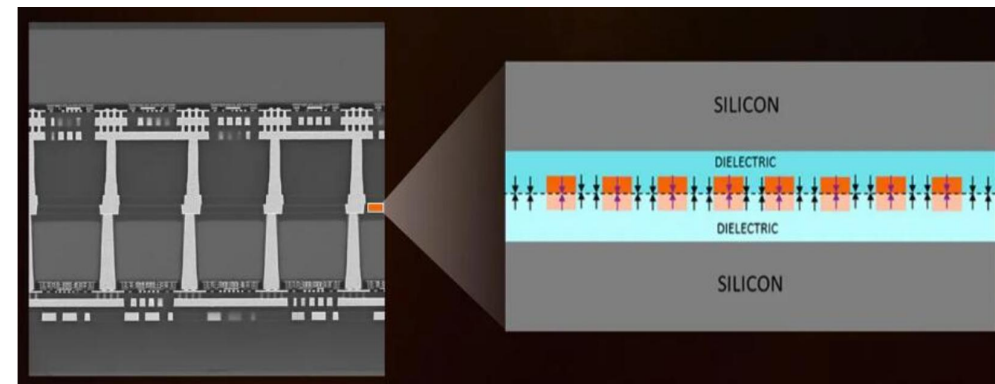


先进封装设备细分领域——混合键合设备

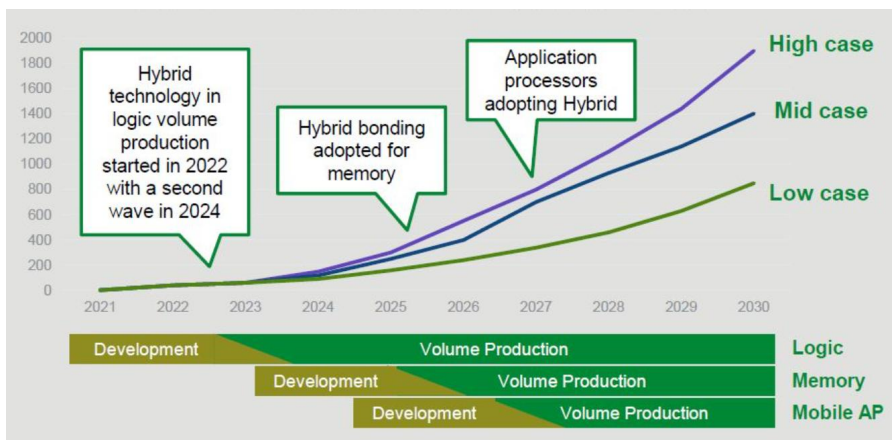
混合键合的关键在于通过直接铜对铜的连接方式取代传统的凸点或焊球互连，从而在极小空间内实现堆叠和封装，达到三维集成。混合键合即将成为下一代键合技术主力。

混合键合技术具备以下特征：1) 不同芯片层直接互连。允许不同芯片层在不通过硅通孔的情况下直接互连，提升信号传输速度并降低功耗。2) 缩短导线长度。通过芯片和晶圆之间的直接键合，最大限度缩短导线长度。3) 使芯片设计更加紧凑。应用混合键合技术时，一平方毫米内可连接一万至十万个通孔。4) 减少芯片内的机械应力。

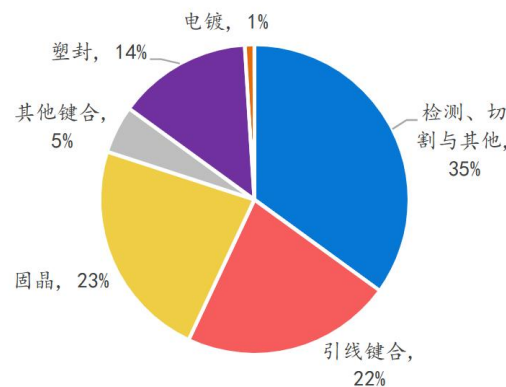
图：混合键合原理图



图：混合键合设备安装数量



图：2022年封装领域中键合设备价值量



图：键合技术演进图

类别	引线键合 (WireBonding, 1975)	倒装芯片键合 (Flip Chip, 1995)	热压键合 (TCBBonding, 2012)	扇出封装 (HD Fan Out, 2015)	混合键合 (HybridBonding, 2018)
工艺种类	引线	锡球/铜柱凸块	铜柱凸块	RDL/铜柱凸块	铜-铜键合
连接密度	5-10 I/O接口/mm ²	25-400 I/O接口/mm ²	156-625 I/O接口/mm ²	500+ I/O接口/mm ²	1万-100万 I/O接口/mm ²
基板	有机物/引线框架	有机物/引线框架	有机物/硅	-	-
精度	20-10μm	10-5μm	5-1μm	5-1μm	0.5-0.1μm
能耗/比特	10pJ/bit	0.5pJ/bit	0.1pJ/bit	0.5pJ/bit	< 0.05pJ/bit



先进封装材料细分领域——ABF载板



IC载板是封装工艺中价值最大的基材，在低端封装中占材料成本的40-50%，在高端封装中占材料成本70-80%。ABF载板是硬质封装载板的一种。

ABF载板是一种用于先进半导体封装的有机载板。作为芯片（Die）与印刷电路板（PCB）或其他互联层之间的桥梁，实现芯片电器互连和机械支撑。可实现高密度布线、优异的高频特性、良好的散热性能、良好的平坦性、多层布线能力。

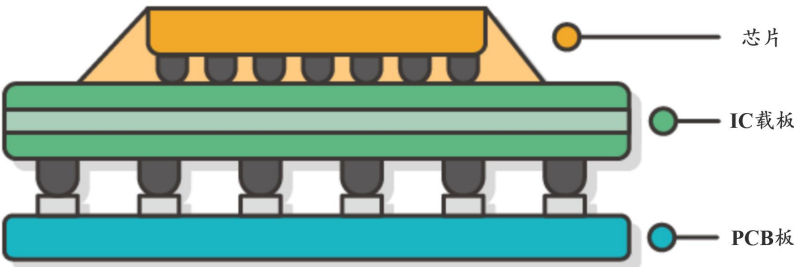
FCBGA封装形式在先进封装中应用广泛，而ABF载板已成为FCBGA的标配。

ABF载板主要由中国台湾、日本、韩国和欧洲地区主导，在全球贸易冲突严峻的背景下，大陆ABF产业有望迎来发展黄金期。

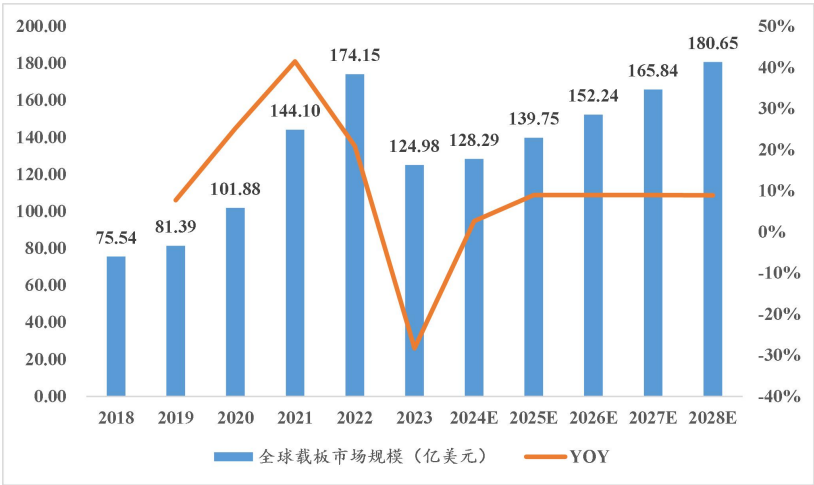
图：FCBGA在先进封装中用途广泛

Package Type	2D	2.1D	2.3D	2.5D	3D
Schematic Image					
L/S (μm)	9/12	~2/2	~2/2	<1/1	<1/1
I/O Density	Low	Middle	Middle	High	High

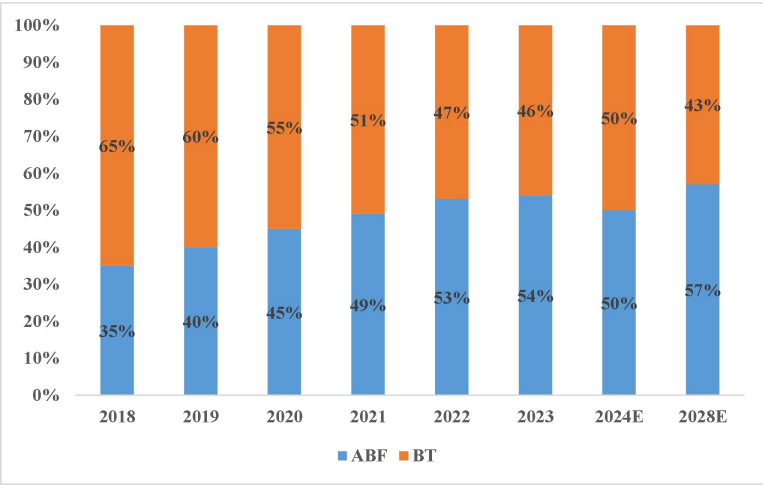
图：IC载板示意图



图：全球IC载板市场规模（亿美元）



图：ABF、BT载板占比



资料来源：Prismark、Techworld、第一创业证券整理



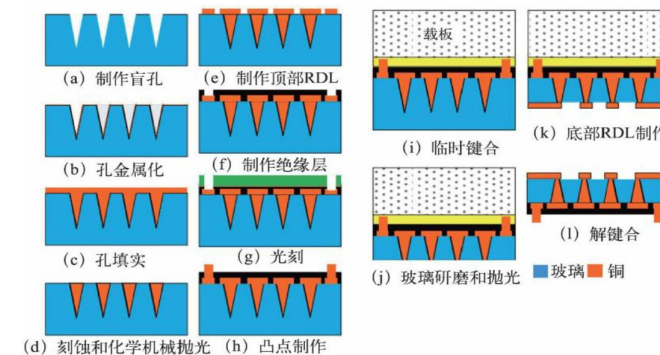
先进封装材料细分领域——玻璃基板

玻璃基板的主要功能：在先进封装结构中作为芯片的承载平台和互联介质，或作为重布线层及中介层的构件材料，实现芯片与外部电路系统的高密度电气连接和信号传输。

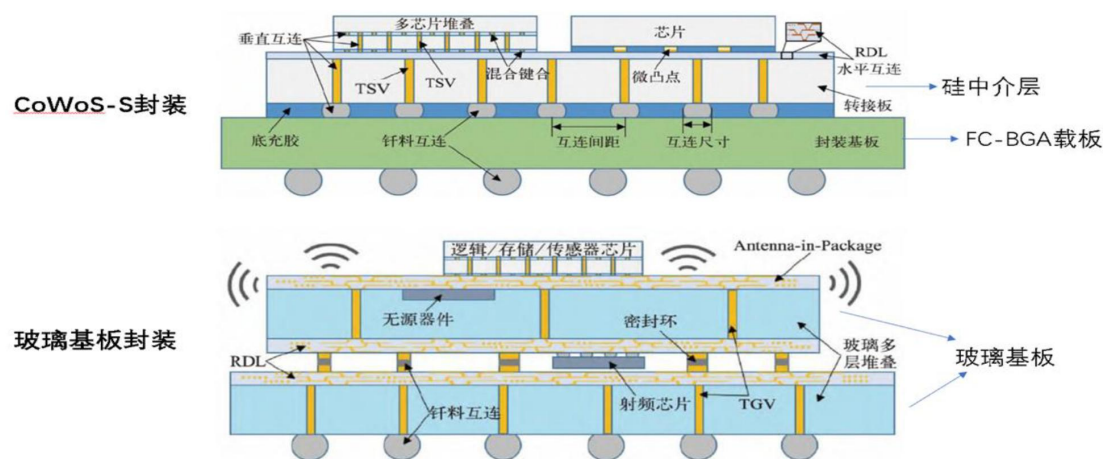
优势。高精度：尺寸稳定性保证了高精度封装；高性能：优异的电气性能满足了高速信号传输需求；低成本潜力：原材料和面板加工有望降低成本；轻薄化；高效率：面板级加工潜力提升了生产效率。

在高端芯片中，有机基板将在未来几年达到能力极限，英特尔、三星、英伟达、台积电等大厂纷纷入局玻璃基板。

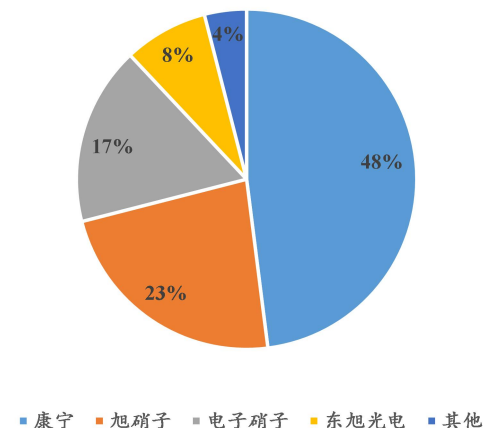
图：TGV工艺流程



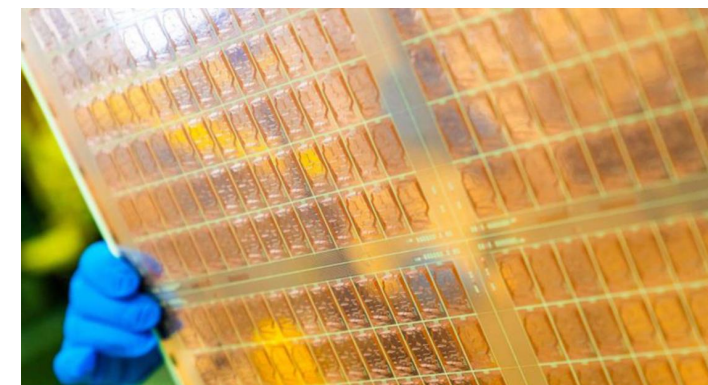
图：玻璃基板封装与COWOS封装结构对比



图：2023年全球玻璃基板行业竞争格局



图：Intel的玻璃基板产品



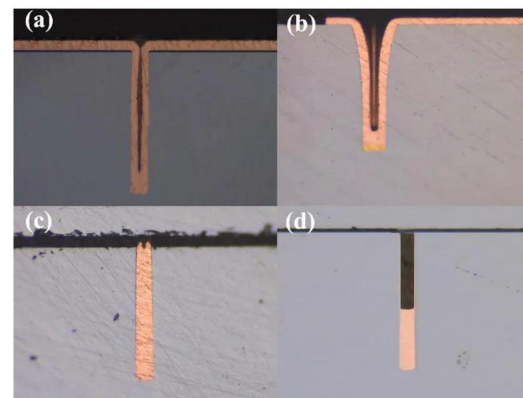


先进封装材料细分领域——电镀液

电镀：利用电化学原理，将金属离子沉积到工件表面，形成一层金属镀层的工艺。半导体封装中，电镀主要用于：形成导电层、形成阻挡层、形成焊接层、形成保护层。应用场景：凸点下金属层、重布线层、硅通孔、引线框架表面处理、键合表面。

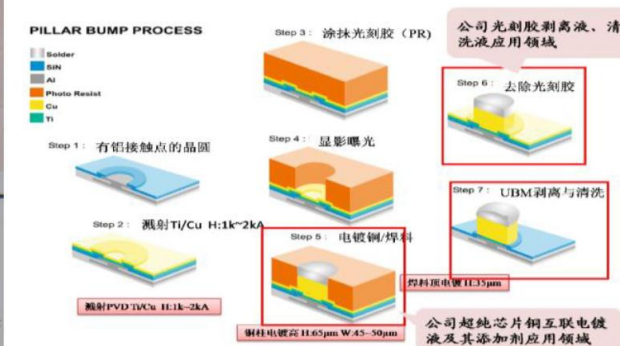
先进封装的凸块电镀、再分布线、硅通孔均需用到电镀液。2023年，全球电镀液市场规模达10.5亿美元，其中，封装用电镀液3.75亿美元，铜大马士革6.75亿美元。2022年，国内公司上海新阳和艾森股份市占率分别为3%和1%，国产化率不足5%。国内厂商突破的产品主要集中在硫酸铜基液上。

图：TSV电镀填充的工艺方法



(a)不保形；(b)保形；(c)超保形；(d)自下而上

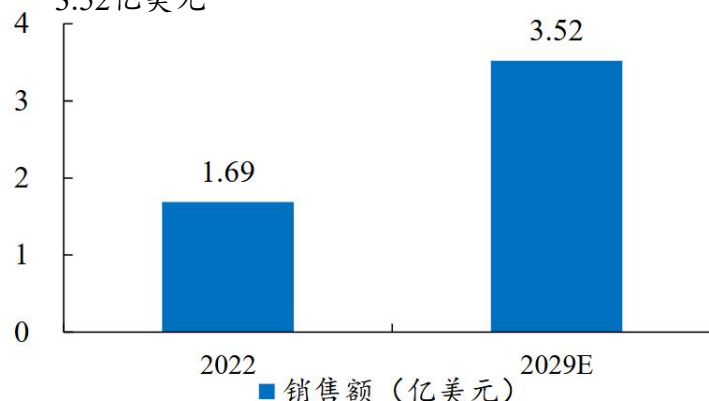
图：晶圆凸块镀铜工艺



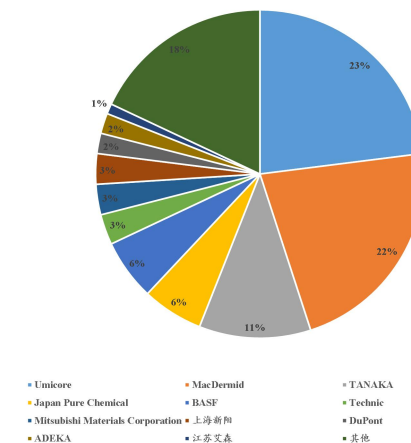
图：全球高纯电镀液销售额（亿美元，%）



图：2029年中国高纯度电镀液预计销量达3.52亿美元



图：2022 年全球电镀液及添加剂竞争格局



/04

先进封装的未来发展展望





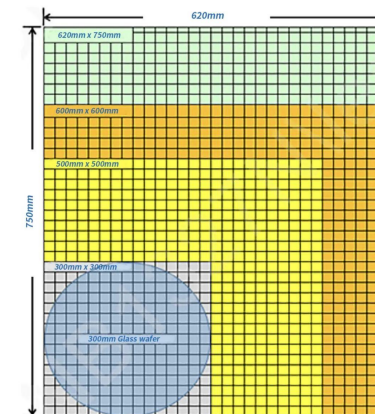
面板级封装：提升性能、降低成本

面板级封装是指包含大板芯片重构、环氧树脂塑封、高密重布线层（RDL）制作等精密工序的先进封装技术。是在晶圆级封装技术的基础上，考虑到晶圆尺寸限制以及封装利用率低的问题，发展应用大尺寸面板作为芯片塑封前载体，通过增大产能来降低单颗产品成本的技术。

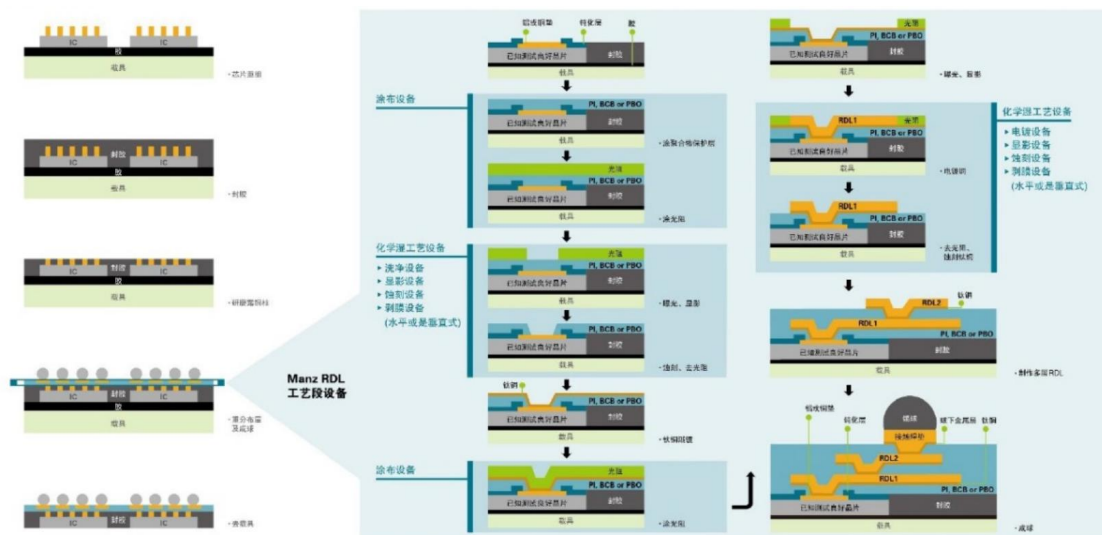
该技术可整合更多、更大规模的异构集成、Chiplet和3D封装等封装，主要优势体现在更低的封装成本和更高的产量、良率。

根据Yole数据，从200mm过渡到300mm大约能节省25%的成本，从300mm过渡到板级，则能节约66%的成本。

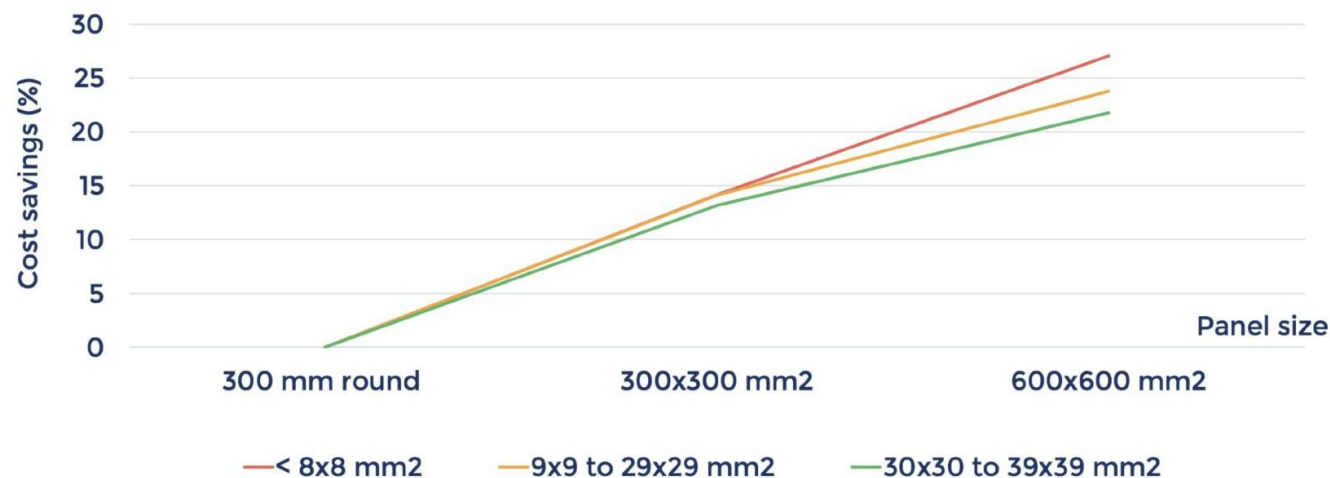
图：面板级封装与晶圆级封装面积对比



图：Manz面板级RDL解决方案



图：晶圆级、面板级封装节省成本对比





CPO光电共封装：更快、更省、更小、更强

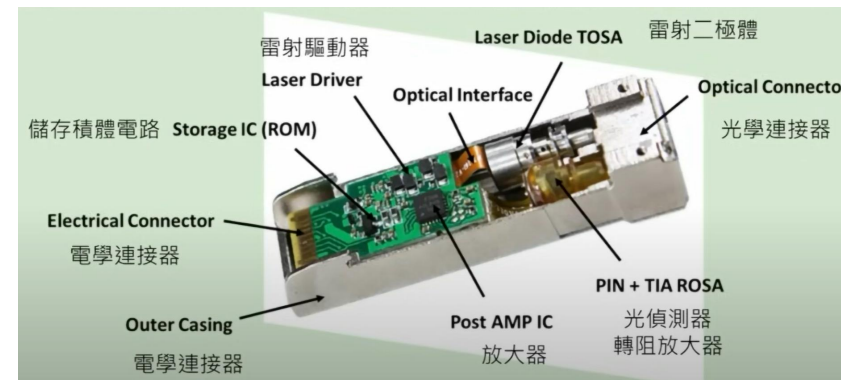
CPO光电共封装：使用先进封装方式将光学元件和芯片封装在同一个集成电路内。传统式光收发模组的光学模组固定在PCB板上，CPO光电共封装将光通讯模组从PCB板转移到了载板上。

CPO光电共封装的优势：更快、更省、更小、更强。更快：更高带宽、高低延迟；更省：更低功耗、系统级节能；更小：更高集成度、系统尺寸缩小；更强：更好的信号完整性、未来扩展性更强。

CPO光电共封装是未来硅光子的前哨站。

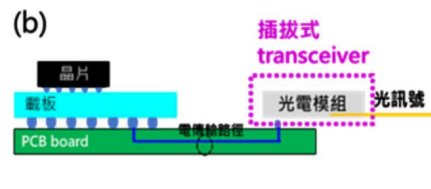
在未来，硅光子技术演进将集中在更高集成度，先进的硅光子制造工艺和封装技术将会成为硅光子技术演进的核心技术支撑。

图：传统光通讯模组

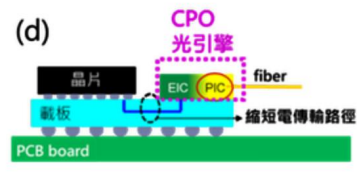
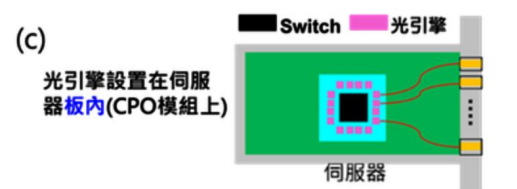


图：传统光收发模组与CPO光电共封装之比较

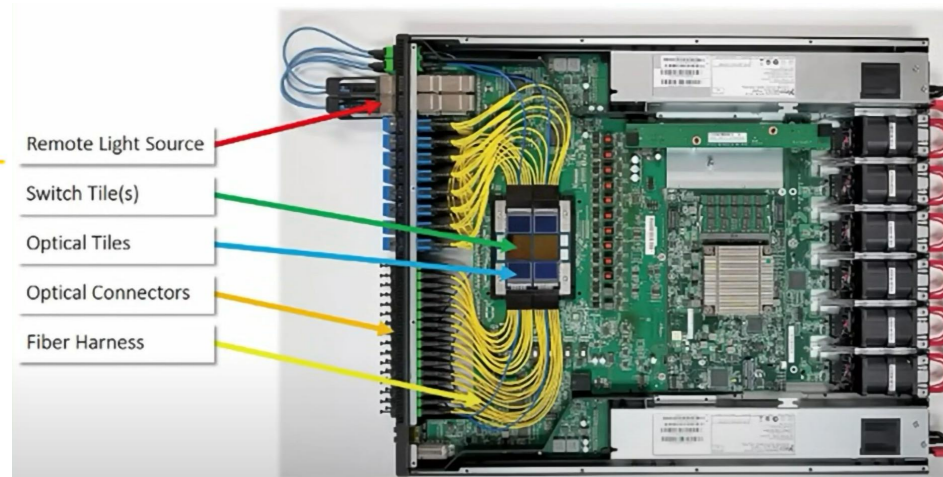
插拔式光收发模组 (Transceiver) 架構



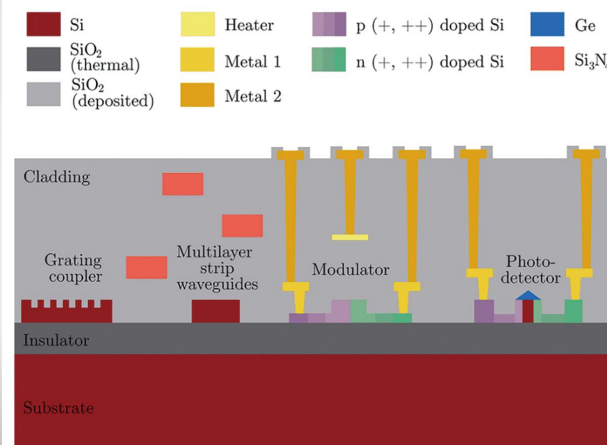
共封裝光學模組(CPO)架構



图：思科光电交换机



图：硅光子示意图



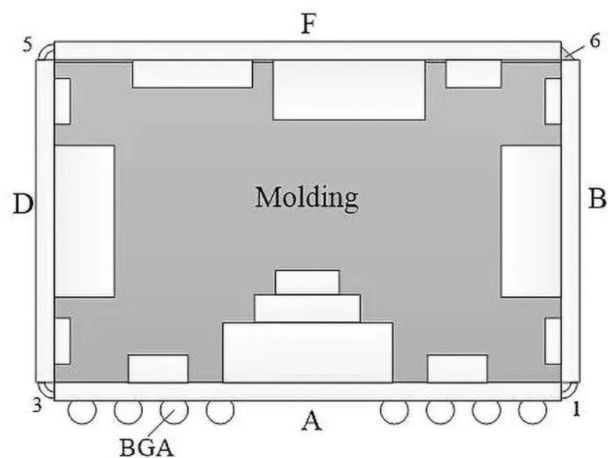


新型封装架构：迈向4D与自适应封装

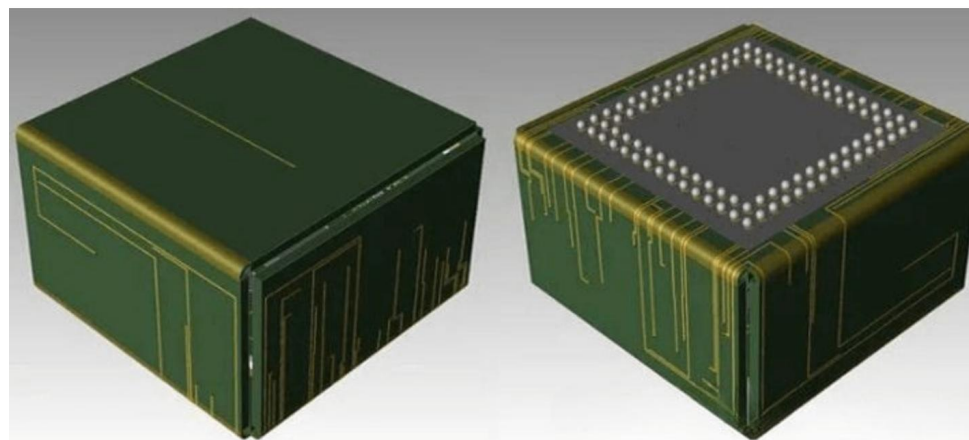
4D封装：多基板多维组装的集成架构。在4D封装中，多个基板可以以非平行方式安装，每个基板上承载芯片和器件，并通过灵活的互连方式连接。4D集成关注多个子系统板的方位及连接，将2D、2.5D、3D等多种集成模式有机组合。突破了传统封装必须在单一平面或者堆叠方向上集成的制约。

自适应封装，包含制造层面、封装架构层面和模块化可重构封装层面。制造层面，如Deca公司的Adaptive Patterning技术对扇外型封装中因芯片位置偏移引起的连线图形误差，采用自适应光刻修正，实现高产率。封装架构层面，如可编程中介层方面，研究人员提出在中介层TSV通孔内沉积一层可变电阻材料配合多金属电极，配合多金属电极，实现电可调的信号通路，这样，不仅封装内连接可以按需重新路由，甚至芯片间互连拓扑都可动态改变。在模块化可重构封装层面，通过标准化的封装接口，各芯片模块可以像乐高块一样插拔、更换。
Chiplet的UCIe互连标准正推动这方面的发展。

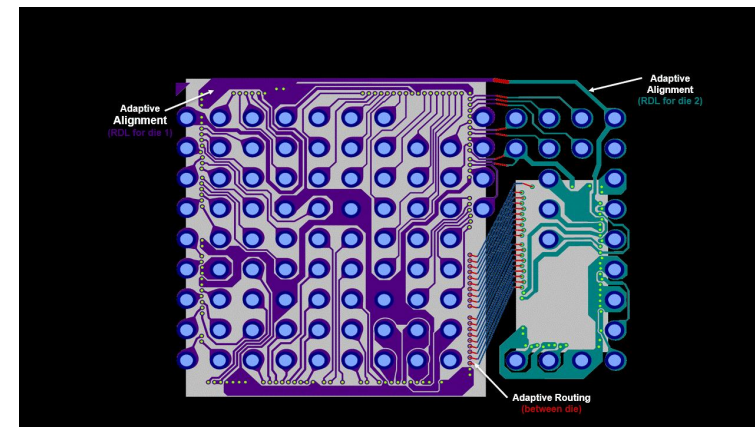
图：4D封装横截面示意图



图：4D封装外观图

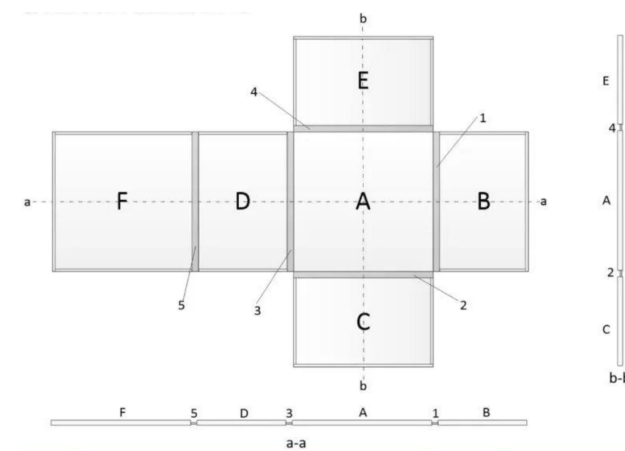


图：Deca公司的Adaptive Patterning技术



资料来源：Deca公司官网

图：4D封装“展开图”





极端环境封装：THz高频、低温超导与严苛条件封装

太赫兹频段（0.1–10 THz）由于其极高频率，传统引线键合或PCB走线损耗巨大且信号完整性差。研究重点在于开发低损耗、高隔离的封装传输结构，如分块式封装（将波导和有源芯片分别加工，然后堆叠组装形成闭合波导）等。

北京理工大学2022年报道了一种D波段（110-170GHz）有源混频芯片的创新封装：使用带周期电磁带隙（EBG）孔阵列的矩形波导来封装芯片，EBG孔阵列抑制不需要的传输模式，提高信号完整性和带宽。

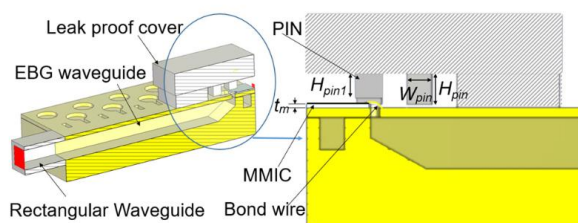
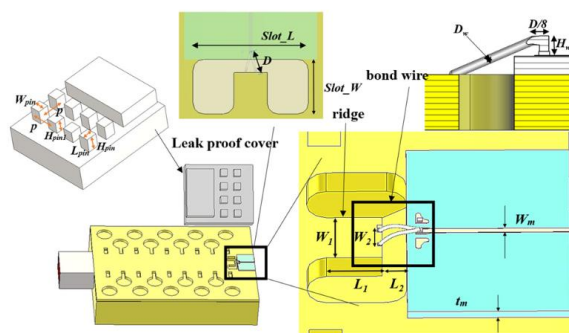
量子计算（尤其超导量子比特）和深空探测等应用需要在接近绝对零度的温度下工作。此时，常温电子封装材料和设计可能不再适用，必须考虑超导特性和低温效应。

麻省理工林肯实验室的团队提出并演示了一种三层3D集成的超导量子芯片架构。该架构包括：顶层是量子比特芯片（超导 Josephson 结阵列），中间层是带超导TSV的中介层芯片，中介层起到屏蔽作用，减少了杂散电容和介质损耗对量子比特相干性的影响。底层是读出和控制电路芯片。实现了完全超导的贯通连接，即从量子比特芯片，通过铜凸点和超导TSV，到读出芯片，整个通路保持超导，从而避免了任何正常金属带来的耗散。

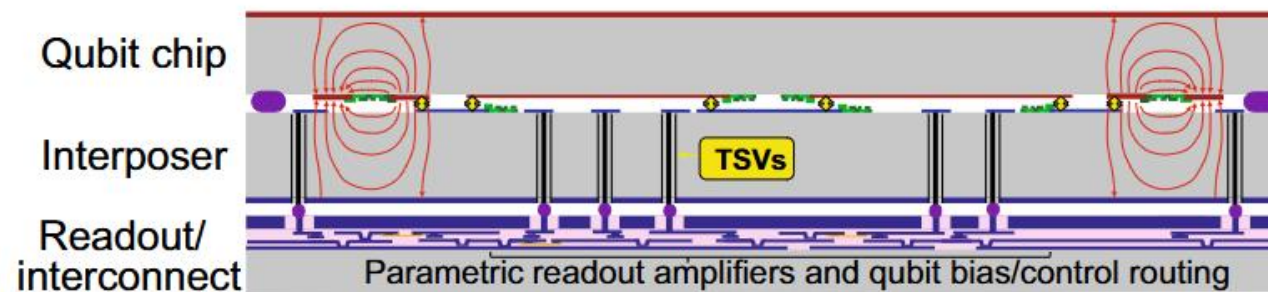
式：香农定律

$$C = B \log_2 \left(1 + \frac{S}{N} \right) = B \log_2 \left(1 + \frac{S}{n_0 B} \right) \quad (\text{b/s})$$

图：D波段MMIC的无基底封装方案



图：三层3D集成的超导量子芯片封装架构



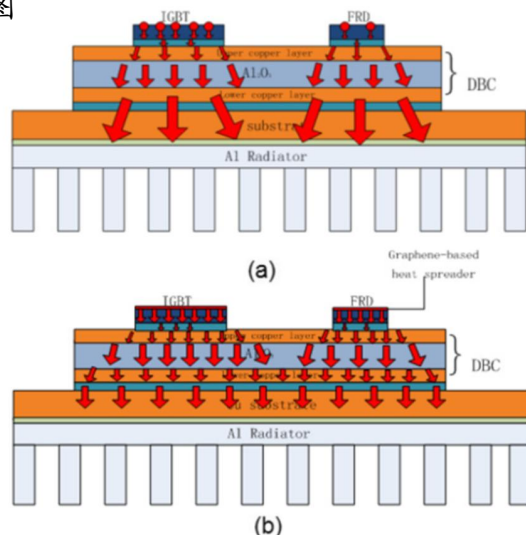


前沿材料封装：2D材料、纳米热界面与超导互联

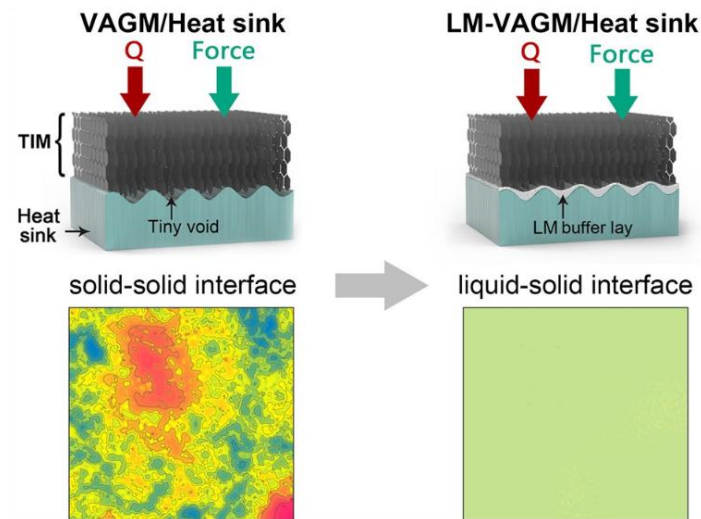
石墨烯的室温热导率高达 $2000\text{--}5000\text{ W}/(\text{m}\cdot\text{K})$ ，远超常用金属（铜为 $401\text{ W}/(\text{m}\cdot\text{K})$ ）。将石墨烯引入封装可极大增强散热。例如，用石墨烯薄片做热界面材料(TIM)或热扩散片，可快速将芯片热量传导至散热器。中国科学院宁波材料技术与工程研究所研究并提出了一种新型的三层结构热界面材料(TIM)，旨在显著降低接触热阻，提升散热性能，特别是在高功率电子器件的热管理应用中。

超导材料在低温下零电阻的特性，使其成为高性能互连的理想选择之一。常温下，铜互连随着频率升高产生趋肤效应和介质损耗，而低温超导互连几乎无损耗且无畸变。高温超导（如YBCO）在液氮温度(77 K)即可超导。如果将YBCO涂层用于封装滤波器、谐振器等，被动器件性能将显著提升。

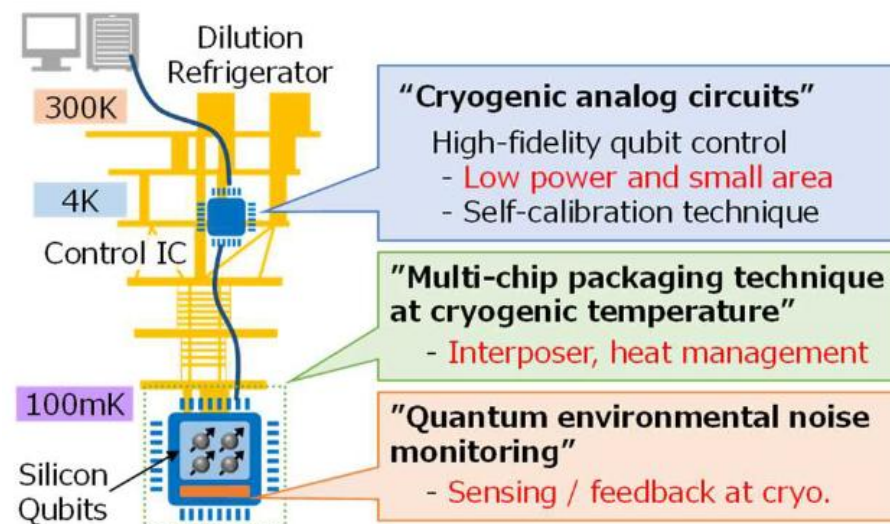
图：IGBT热传导流程及石墨烯次要途径增强示意图



图：三层结构热界面材料 (TIM)



图：多芯片低温封装技术关键组件及技术





生物与神经形态封装：脑机接口与生物相容性

随着电子设备深入生物医疗领域，以及类脑计算等神经形态技术的发展，对封装提出了特殊要求。一方面，可植入医疗电子（如脑机接口）需要封装对人体生理环境完全兼容且长期可靠；另一方面，神经形态芯片等新型计算硬件追求类脑结构，其封装可模拟神经连接方式；甚至直接与生物组织对接。

比利时IMEC研究中心的Maaik Op de Beeck团队就采用超薄陶瓷涂层+薄聚合物膜相结合，打造了一种柔性、生物相容且高阻隔性的封装。纳米厚度的ALD氧化物层大大降低了水汽透过率，而聚合物提供机械缓冲，两者结合可满足长期植入的气密性需求。

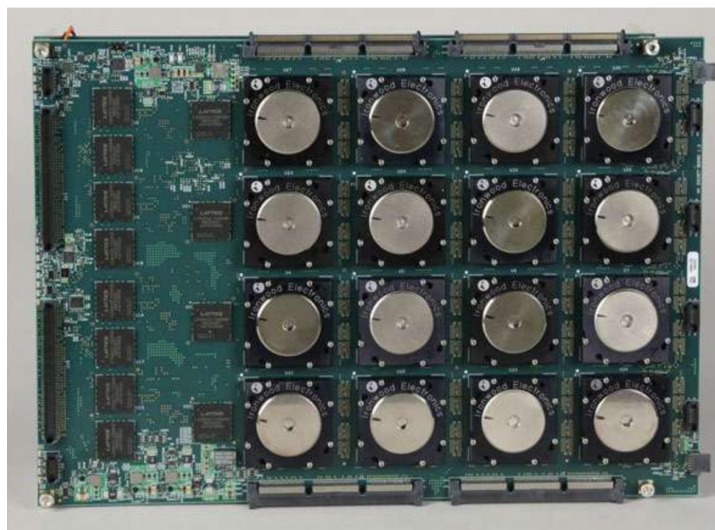
神经形态计算试图模仿大脑神经网络的结构和功能，实现高效的信息处理。其互连规模远超传统处理器，因此，封装需要提供超大规模互连和三维集成来逼近脑网络的连接密度。

有研究者提出混合生物-电子封装，即直接将电子神经元与生物神经元接口。在这种情形下，封装不仅要保护电子部分，也需兼顾与活体组织的界面。封装需要形成微流体通道、细胞支架等特殊结构来维持神经元存活和传导。

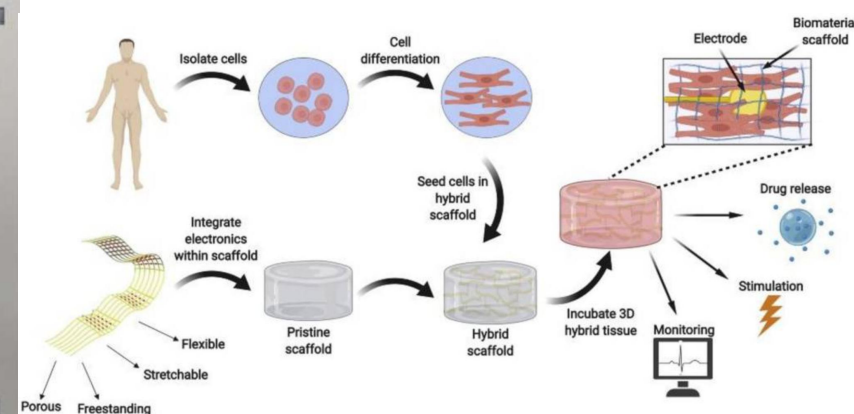
图：IMEC研发的薄硅可植入芯片



图：IBM TrueNorth 芯片



图：混合生物-电子封装的构建流程



/05

先进封装相关公司梳理



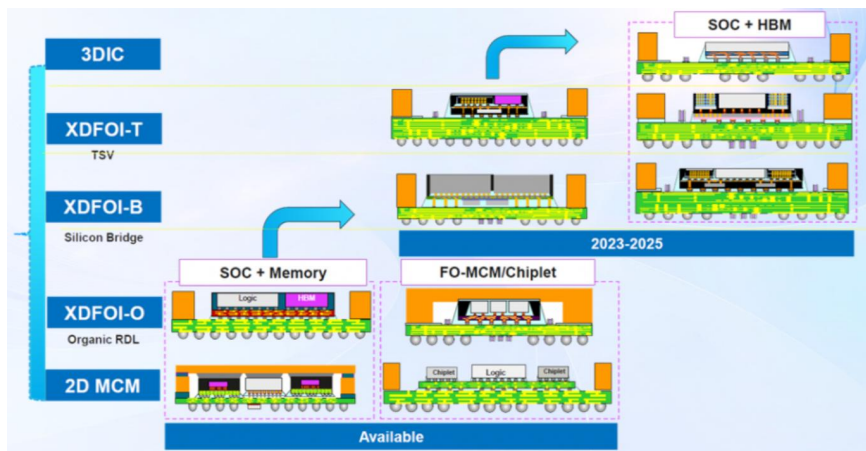


封测三巨头：长电科技（600584.SH）

公司简介：江苏长电科技股份有限公司成立于1998年11月，总部位于江苏省江阴市滨江中路，2003年在上海证券交易所主板上市，是全球领先的集成电路制造与技术服务商。公司拥有晶圆级封装（WLP）、2.5D/3D封装等核心技术，在中国、韩国及新加坡设有六大生产基地和两大研发中心，业务覆盖汽车电子、人工智能、高性能计算等领域。主要客户面向全球半导体客户，客户类型为集成电路设计公司和系统集成商等。

技术优势：公司最大的优势在于“全”和“尖”，不依赖于某一大客户，也不向小厂那样偏科，其技术覆盖了从低端到最顶尖的几乎所有领域。1.XDFOI技术（高密度扇出型封装技术）。可将多颗芯片高密度地集成在一起；提供2.5D/3D封装解决方案，技术指标对标台积电的CoWoS和InFO技术；当前已实现4nm节点芯片的系统级封装量产，是国内AI算力芯片落地的关键一环。2.SIP（系统级封装）。在高集成度、微型化封装方面，公司拥有极高的良率和大规模量产经验，是公司切入国际大客户供应链的敲门砖。3.晶圆级封装。相较传统封装，晶圆级封装没有引线框和基板，封装尺寸较小，电气性能更好，公司在基带、电源管理芯片的晶圆级封装上占据统治地位。4.存储封装。2024年，公司收购了西部数据旗下晟碟半导体80%股权。通过这次收购，公司补强了在存储领域的短板，成为了逻辑+存储双强。

图：长电科技XDFOI封装平台



图：公司提供的传统封装到先进封装全套解决方案



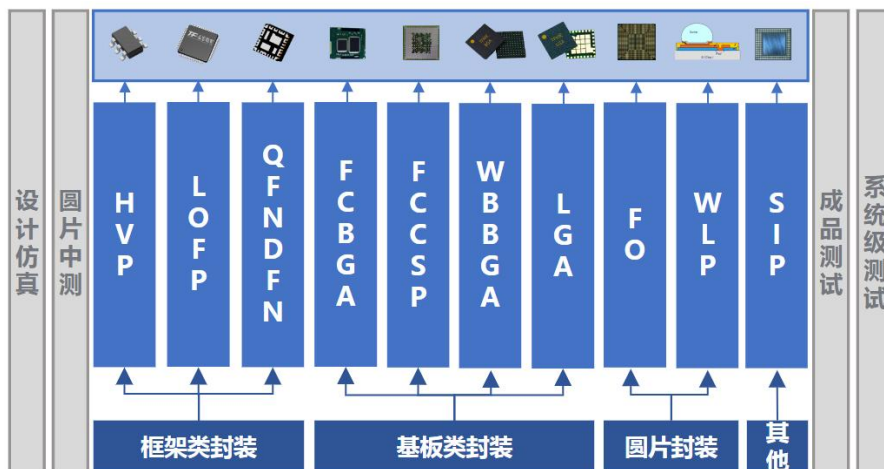


封测三巨头：通富微电（002156.SZ）

公司简介：通富微电子股份有限公司成立于1994年2月，是集成电路封装测试服务提供商，是中国集成电路封装测试的企业，为全球客户提供设计仿真和封装测试一站式服务。通富微电的产品、技术、服务全方位涵盖网络通讯、移动终端、家用电器、人工智能和汽车电子等领域。拥有全球化的制造和服务基地，在南通、合肥、厦门、苏州、马来西亚槟城拥有七大生产基地。公司为全球客户提供快速和便捷的服务，主要客户包括AMD、联发科、意法半导体、德州仪器、英飞凌等等国际顶尖半导体设计公司。

技术优势：1.Chiplet技术上具备领先优势。公司是全球最早实现Chiplet大规模量产的封测企业之一，Chiplet封测涉及复杂的异构集成工艺，公司在这一领域积累了数年量产良率数据，对于良率极为敏感的高端芯片而言，这个其他后来者短时间内难以逾越的壁垒。2.FCBGA技术方面具备领先优势。公司在大尺寸、高脚数、高功耗的FCBGA封装上处于国内绝对领先地位，可处理功耗高达数百瓦的散热问题，以及超大面积基板的翘曲控制问题。3.在2.5D/3D领域有全方位布局。公司的ViSionS技术可提供高性价比的Chiplet互联方案；Hybrid Bonding方面公司已完成相关设备布局，正推进产业化，面向更高密度的垂直堆叠需求。4.具备前道及后道深度协同优势。使得公司能够在新产品设计阶段就介入封装方案的制定，技术壁垒更高，客户粘性较明显。

图：通富微电主要业务



资料来源：公司招股说明书、第一创业证券整理

图：通富微电国内外主要客户





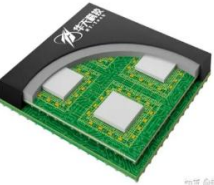
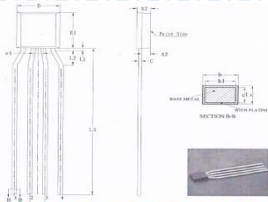
封测三巨头：华天科技（002185.SZ）



公司简介：华天科技由天水华天微电子有限公司、甘肃省电力建设投资开发公司、杭州士兰微电子股份有限公司等七方联合发起，于2003年12月25日成立，2007年在深圳证券交易所上市，现为全球第六、国内第三的集成电路封测企业，主营业务涵盖集成电路封装设计、封装测试及系统级封装（SiP）、倒装芯片（FC）、硅通孔（TSV）等先进技术。

技术优势：1.技术平台的全谱系覆盖是公司的核心封测优势之一。公司的封测产品线覆盖从传统引线框架到先进封装的完整链条，掌握了SiP、FC、TSV、Bumping等先进封装技术，并承担国家重大科技专项课题。2.TSV与传感器封装方面有明显优势。华天科技在先进封装平台方面已披露掌握TSV等关键技术，并在晶圆级封装环节形成产线布局（TSV/WLCSP/Fan-out）。公司亦提供MEMS/传感器相关封装形态（如盖板/定制模封等），并推进车规级封装工艺可靠性验证（AEC-Q100 Grade 0）。3.先进封装的阶段性成果可验证。FOPLP开发、2.5D验证、Grade0验证、32层超薄堆叠能力、TCB键合、以及UFS3.1（FC+WB混合封装）量产等均有明确披露。4.晶圆级与倒装封装的基地化分工清晰。昆山侧重Bumping/WLCSP/Fan-out/TSV，南京侧重FCBGA/FCCSP等，形成工艺协同与产品覆盖优势。

图：华天科技的产品矩阵

◆ 3D Chiplet 公司实现了3D FO SiP 封装工艺平台的开发，现已具备由TSV、eSiFo、3D SiP构成的最新先进封装技术平台——3D Matrix。 	◆ 射频 实现5G FCPA集成多芯片SiP等5G射频模组的量产，完成EMI工艺技术研发和产品导入。 	◆ 汽车电子 通过WLP、Fan-Out等系列产品布局汽车领域。目前公司已通过IATF16949 及ISO9001等体系认证，进一步完善质量管理体系架构。 
◆ 高性能计算 FCBGA是一种印刷电路板，其通过将高密度半导体芯片连接到主板上来传输电信号和供电，主要用于连接高性能和高密度的CPU和GPU。公司目前已实现大尺寸FCBGA高算力系列产品的量产。 	◆ 存储 实现基于TCB工艺的3D Memory封装技术的开发；已实现基于232层3D NAND Flash Wafer DP工艺的存储器产品、长宽比达7.7：1的侧面指纹、PAMiD等产品的量产。 3D-VNAND 	◆ FA&RA 提供系统可靠性测试及失效分析，可进行MSL/THT、PCT、HTST、Solderability等性能测试，并利用SAT、DECAP、X-RAY等10项FA技术确定原因，有效保障产品质量。 

资料来源：第一创业证券整理

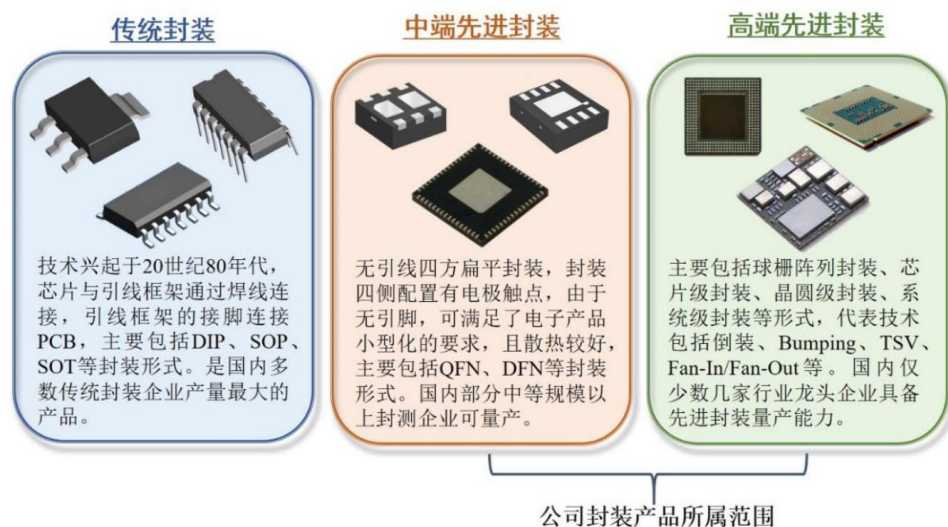


高成长“先进封装”新锐：甬矽电子（688362.SH）

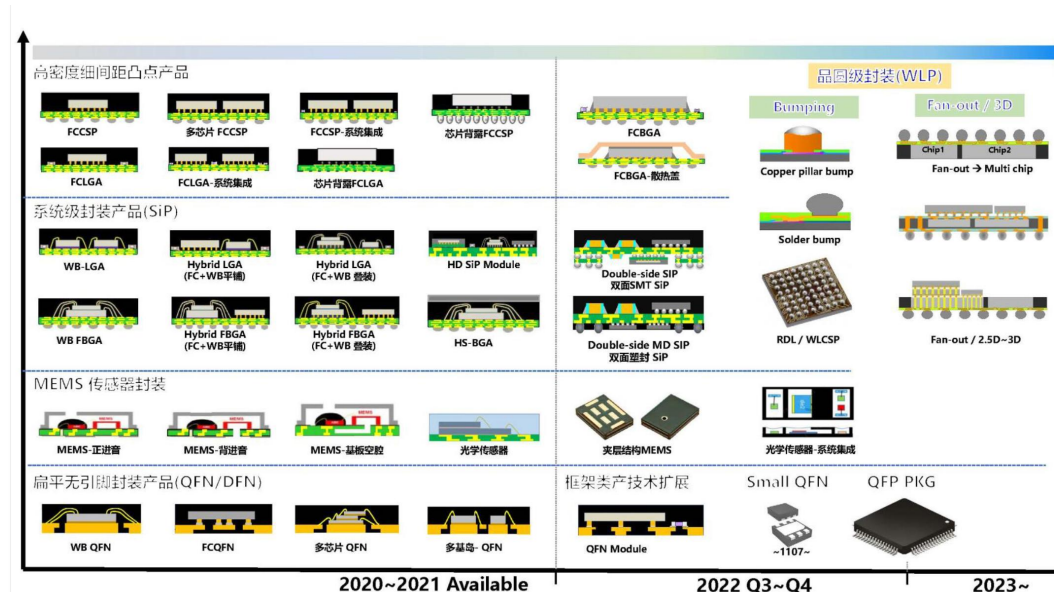
公司简介：甬矽电子（宁波）股份有限公司成立于2017年，于2022年11月在上交所科创板上市，主要从事集成电路封装和测试方案开发、不同种类集成电路芯片的封装加工和测试。公司以中高端封装及先进封装技术和产品为主，主要生产QFN/DFN、WBLGA、Fan-in WLCSP、Fan-out WLP等先进封装，公司产品结构优良，已成功进入国内外行业知名设计公司供应链。

技术优势：1.倒装与SiP，从“工艺开发”走向“稳定量产”。公司已完成倒装与焊线类芯片的系统级混合封装技术，以及5纳米晶圆倒装技术等开发，并成功实现稳定量产，同时掌握系统级封装电磁屏蔽、Bumping、Fan-in等技术。2.晶圆级封装是其能力升级的关键抓手，并在向 Fan-out、2.5D/3D 推进。通过 Bumping（凸块）+ RDL（重布线）实现 I/O 重新布局与凸点引出，支撑细间距 Flip-Chip；并进一步通过 Fan-in/Fan-out实现 WLP；通过双面 Fan-out 与 TSV实现 2D/2.5D/3D 先进晶圆级封装技术。此外，公司积极开发Fan-out、2.5D/3D 等晶圆级封装技术、高密度系统级封装技术、大尺寸 FC-BGA 封装技术”，作为技术储备。3.一站式封测交付能力。公司为设计企业提供封装与测试解决方案并收取加工费，封装完成后对成品进行多维参数测试并交付。

图：甬矽电子的核心产品范畴



图：公司的主要产品路线图



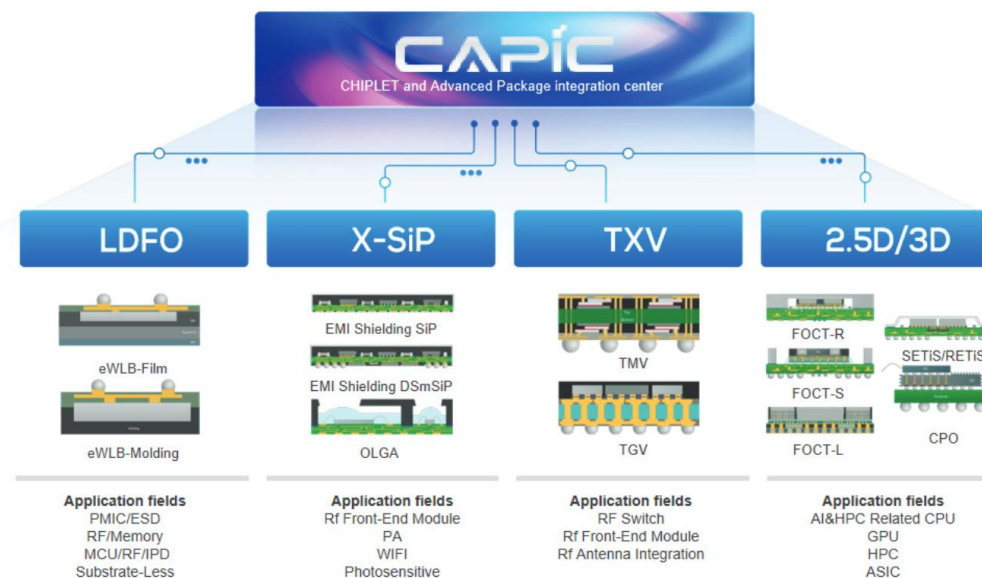


高成长“先进封装”新锐：芯德科技（未上市）

公司简介：江苏芯德半导体科技股份有限公司（简称芯德科技）成立于2020年9月，位于南京浦口，是一家专注于高端集成电路先进封装测试的科技型企业，提供 Bumping, WLCSP, Flip Chip (FC-QFN), BGA, SIP, 2.5D/3D等一站式封装设计与服务，技术实力强劲，正快速发展成为国内领先的先进封装技术驱动型公司。

技术优势：1.先进封装平台化及量产能力。公司是半导体封装与测试技术解决方案提供商，业务覆盖了封装设计、定制化封装产品、封装产品测试服务。其先进封装的量产覆盖面包含了：QFN、BGA、LGA、WLP、2.5D/3D。2.LDFO量产能力。公司在LDFO领域实现了晶圆级超薄、类QFN技术的量产，是率先实现量产的公司之一。3. 2.5D/3D与高层中介层能力。公司有能力和进行7层以上超高层有机中介层布线的量产，该技术可应对更复杂的布线、更高互联密度、更加适配 HPC/高速通信等对带宽及信号完整性更加敏感的封装形态。4.TXV玻璃基板领域实现了高频低损耗及热稳定性。公司在玻璃/垂直互联方向有研发及产品化布局，指向高频高速互联与先进封装下一阶段演进。

图：芯德科技的四大核心技术平台



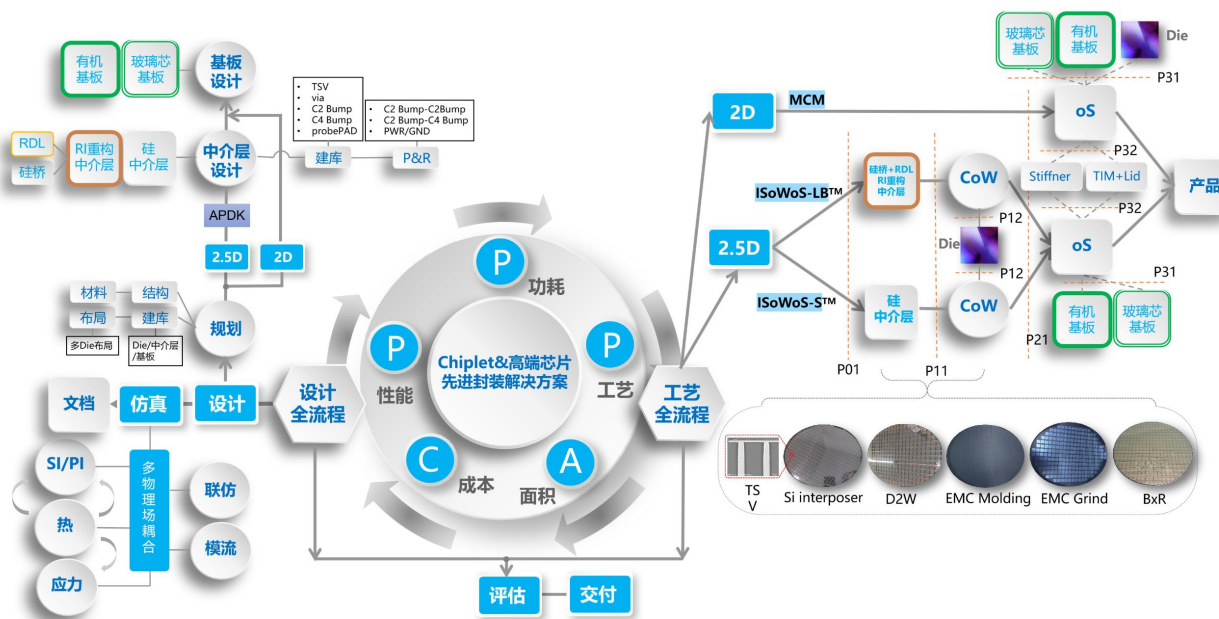


高成长“先进封装”新锐：锐杰微（未上市）

公司简介：苏州锐杰微科技集团有限公司是一家提供Chiplet&高端芯片设计和工艺全流程的封测制造方案商。聚焦高性能芯片封装设计&仿真、规模化加工制造及成品测试；具有数百项商业级、工业级和车规级芯片封装项目的管理和交付经验，已服务超过300家科研院所及高端商业客户。公司已完成B轮融资，投资方包括元禾重元、毅达资本等硬科技知名机构。

技术优势：1.独树一帜的封装设计与仿真能力。公司拥有业内顶尖的信号完整性、电源完整性、热、应力仿真团队，在客户芯片流片前，公司就能介入，通过仿真预测封装后可能出现的发热、信号干扰或基板翘曲等问题。极大提升了一次流片成功率，降低试错成本。2.专注于FCBGA（倒装球栅阵列）的高端量产能力。可处理大尺寸封装体的FCBGA封装，可有效控制大尺寸基板在回流焊过程中的变形，保证高良率；具备10层以上复杂基板封装能力，支持高脚数芯片封装，对标服务器级应用。3.Chiplet与异构集成技术储备。4.强大的基板设计能力。公司具备自主设计复杂基板的能力，能够进行超细线路设计，优化走线布局以减少串扰。

图：公司先进封装解决方案





高毛利“细分赛道”：颀中科技（688352.SH）

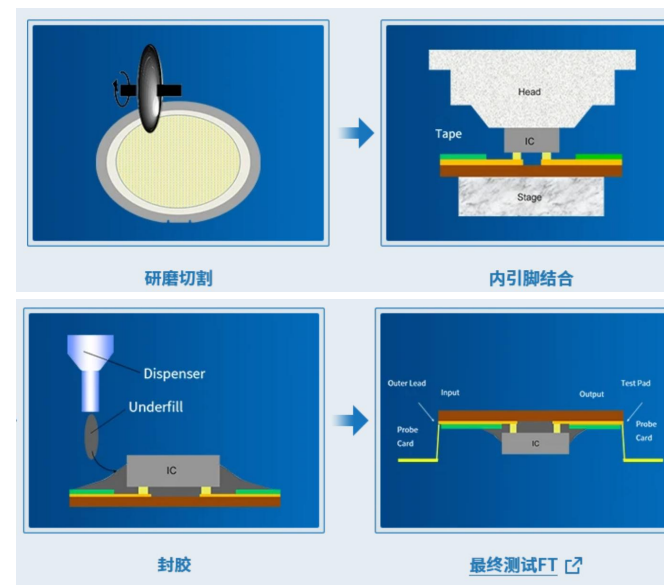
公司简介：合肥颀科技股份有限公司，成立于2018年，公司作为专注于高端先进封装测试的企业，利用自身强大的技术能力，为客户提供全方位一站式先进封测的解决方案，包含凸块加工、晶圆测试、研磨切割、封装测试等制程服务，以及光罩设计、COF卷带图面设计、测试程式开发、探针卡设计及维修等配套服务。公司拥有226项专利及2项商标信息，自主掌握凸块制造、测试及后段封装核心技术。

技术优势：1.金凸块制造技术。公司是中国大陆第一，全球第三的显示驱动封测厂，公司可将金凸块间距做到极小，可封装更高分辨率、更窄边框的屏幕芯片。2.全制程交付能力。普通封装厂制作后端，但颀中科技提供的是“前端Bumping+晶圆测试+后端封装”的一条龙服务。公司在COF领域拥有125mm大版面COF封装技术，生产效率明显领先于竞争对手。COG/COP领域直接服务于京东方、维信诺等面板巨头。3.12英寸晶圆级封装上的领先优势。公司拥有成熟的12英寸晶圆级芯片尺寸封装能力，是PMIC和射频芯片等应用领域的首选方案。

图：公司产品应用领域



图：公司封装方案



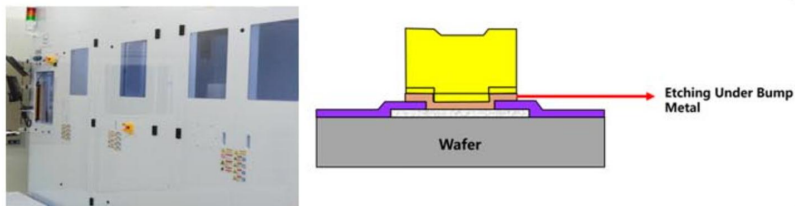


高毛利“细分赛道”：汇成股份（688403.SH）

公司简介：合肥新汇成微电子有限公司成立于2015年12月，公司专注于显示驱动芯片全制程封装测试服务，覆盖金凸块制造、晶圆测试、玻璃覆晶封装及薄膜覆晶封装环节，客户包括联咏科技、天钰科技等全球显示驱动芯片设计企业。作为中国境内最早具备12吋晶圆金凸块产线量产能力的封测服务商之一，公司入选国家级专精特新“小巨人”企业。

技术优势：1.领先的金凸块制造能力。公司可制造出间距小于10微米的金凸块，这是实现4K、8K超高清显示和窄边框设计的物理基础。此外，公司是国内最早具备12英寸全制程金凸块制造能力的企业之一，相比8英寸，成本优势更明显。2.COG与COF倒装封装技术。公司在COG领域拥有成熟积累，主要服务于大尺寸面板客户，如京东方、惠科；在COF领域，公司具备超薄带载带处理能力，是生产高端全面屏手机驱动芯片的关键。3.全程代工模式。公司可提供凸块制造、晶圆测试、COG/COF的一站式服务。这种模式可以将封装良率的数据反馈事件缩短50%以上，对于对良率敏感的驱动芯片而言至关重要。

图：公司的晶圆凸块技术



图：公司的COG技术





高毛利“细分赛道”：晶方科技（603005.SH）

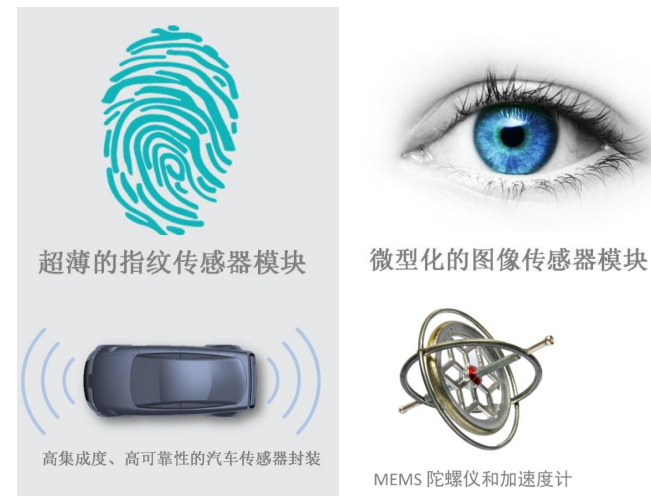
公司简介：苏州晶方半导体科技股份有限公司在2005年成立于苏州，公司是全球传感器领域领先的先进封装技术服务商，主营业务为影像传感芯片等传感器的晶圆级芯片尺寸封装（WLCSP）与测试。其核心技术包括完整的8英寸、12英寸晶圆级封装量产线及硅通孔（TSV）技术。公司产品广泛应用于智能手机、汽车电子、安防监控、生物识别、医疗电子及AR/VR等多个领域。

技术优势：1.在WLCSP和TSV方面具备较深优势。公司拥有全球首条12英寸车规级TSV量产线，在良率和成本上对竞争对手构成压制，可将摄像头模组做到极薄、极小。2.光学+半导体异构集成能力。公司在2019年收购了荷兰光刻机头ASML子公司Anteryon，让公司具备了WLO制造能力，在3D传感、车载微型投影灯、AR/VR眼镜中是核心技术。3.在扇出型封装领域具备一定技术优势。公司的扇出型封装技术不仅可以封装大尺寸高端传感器，还可以将逻辑芯片和存储芯片集成在一起，直接服务于未来的高性能汽车电子。

图：300毫米晶圆级TSV芯片尺寸封装量产线



图：公司的技术能力范畴





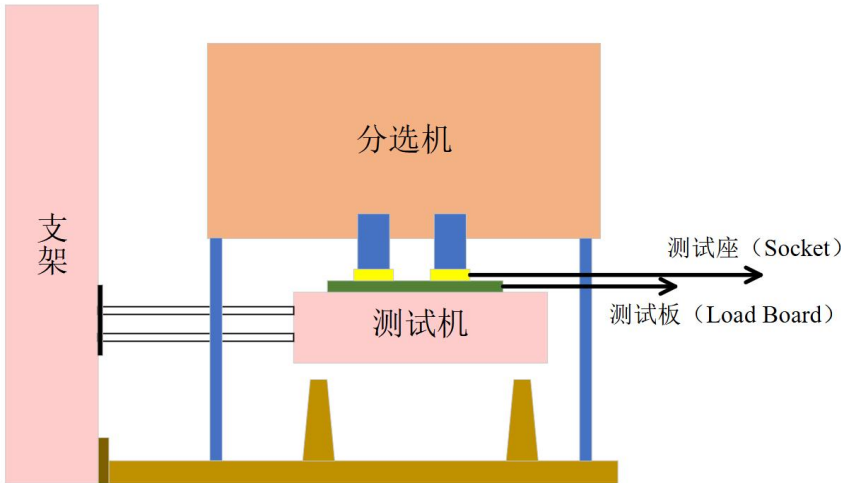
独立第三方测试：伟测科技（688372.SH）



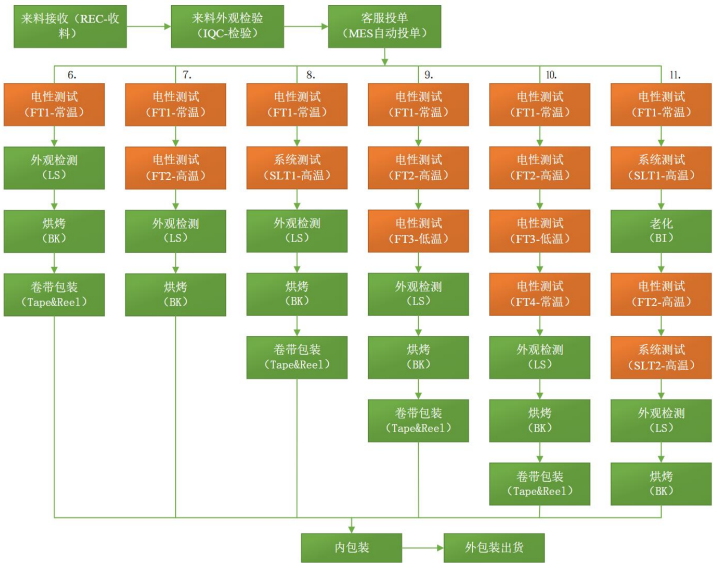
公司简介：上海伟测半导体科技股份有限公司成立于2016年，是独立第三方集成电路测试服务企业，为客户提供专业高效的测试服务和一站式测试解决方案。伟测科技提供从测试方案开发、晶圆测试、芯片成品测试、SLT测试、老化测试、In Tray Mark、Lead Scan 等全流程测试服务，测试产品广泛应用于通讯、计算机、汽车电子、工业控制、消费电子等领域。公司获得国家“专精特新”小巨人企业等殊荣。

技术优势：1.晶圆级测试与KGD技术：先进封装的守门人。公司在6纳米到14纳米先进制程的CP测试上拥有核心方案，能够拦截微小的良率缺陷，是Chiplet技术的隐形护航者，是通富微电和长电科技等公司Chiplet封装良率的保障。2.复杂SoC及高性能计算测试能力。公司具备同时检测数百颗芯片的能力，极大压缩了测试时间，降低客户成本。此外，可测试拥有数千引脚的服务器级大芯片，这是普通封装厂内部测试部门难以企及的能力。3.5G射频与混合信号测试。公司是国内极少具备5G毫米波、4G PA大规模量产测试能力的企业，可直接受益于国产射频芯片的爆发红利。4.软硬结合的自动化研发能力。公司拥有强大的软件团队，可有效编写测试算法；此外，通过购买专利和自研，布局晶圆测试的核心耗材—探针卡，打通设备、耗材、服务的闭环。

图：公司芯片成品检测示意图



图：公司芯片成品检测流程图



资料来源：公司招股说明书、第一创业证券整理



独立第三方测试：华岭股份 (920139.BJ)

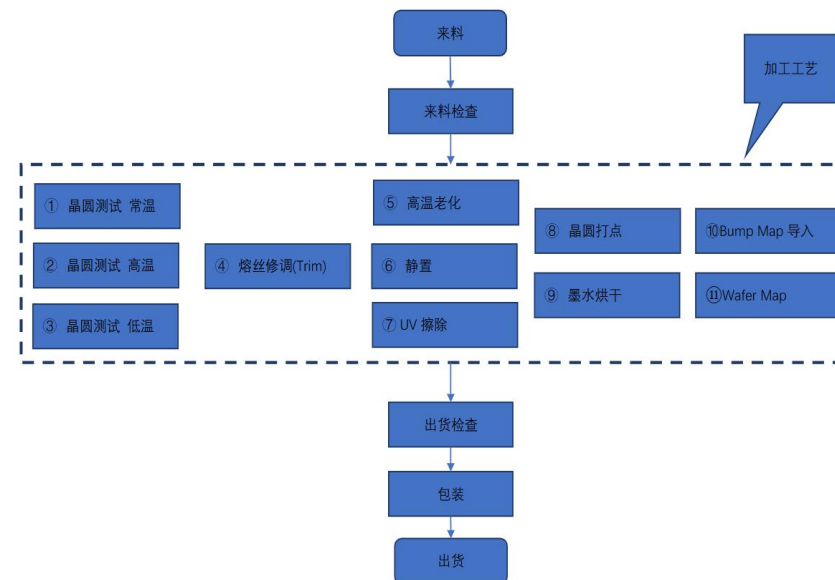
公司简介：上海华岭集成电路技术股份有限公司成立于2001年，公司拥有近500台（套）国际先进的测试设备及近400台（套）辅助设备，打造产业化测试平台及特色研发中心，具有先进的MES系统、完善的数据分析系统、7*24的专业快速响应能力，服务覆盖CPU、MCU、CIS、MEMS、FPGA、存储器芯片、通信芯片、射频芯片、信息安全芯片、卫星导航芯片、AI芯片等广泛领域产品，服务产品工艺覆盖7-28纳米等先进制程。

技术优势：1.极端环境下的高可靠性测试。可开展-55℃到+150℃的全温区测试，这种全温区测试需要定制化的温控测试座和特殊的测试流程，普通商业测试场很难切入。这个是公司的最强护城河，直接源自于复旦微电在FPGA和军工、宇航芯片上的积累。2.先进的超大规模、高端芯片测试方案。公司在FPGA、CPU、AI芯片等超大规模数字电路测试上具备丰富经验。3.芯片测试云及智能化平台。公司自主研发了芯片测试云系统，客户可通过云端实时看到测试数据、良率分布，甚至进行远程调试。对于需要频繁改版、快速迭代的国产设计公司而言，这种透明化和实时性可带来巨大帮助。4.晶圆级与成品全覆盖能力。公司拥有12英寸晶圆的量产测试线，技术指标可达到国际先进水平；在超高密度探针卡技术上有深厚积累，可应对引脚极度密集的晶圆测试需求。

图：公司集成电路测试服务框架



图：晶圆测试工艺流程





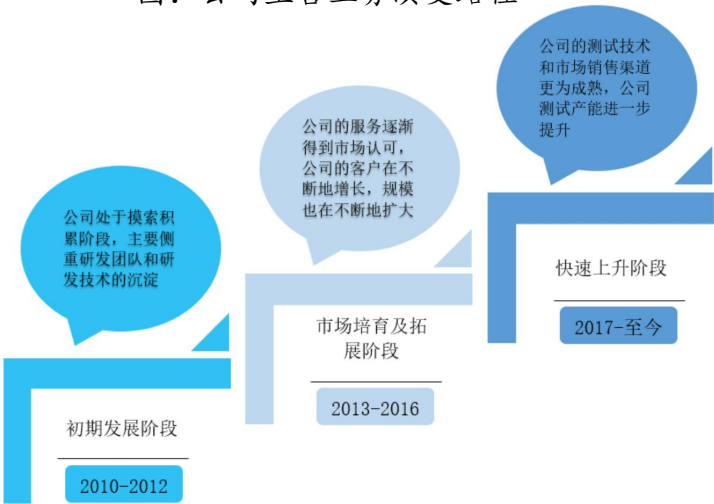
独立第三方测试：利扬芯片（688135.SH）



公司简介：广东利扬芯片测试股份有限公司成立于2010年2月，公司是国内知名的独立第三方专业芯片测试技术服务商、国家级专精特新小巨人企业、高新技术企业，主营业务包括集成电路测试方案开发、12英寸及8英寸等晶圆测试服务、芯片成品测试服务以及与集成电路测试相关的配套服务。公司为国内知名芯片设计公司提供中高端芯片独立第三方测试技术服务，产品主要应用于通讯、计算机、消费电子、汽车电子及工控等领域，工艺涵盖3nm、5nm、8nm、16nm等先进制程。

技术优势：1.具有3纳米、5纳米先进制程芯片测试能力。随着摩尔定律推进，3纳米、5纳米芯片晶体管数量达到百亿级，测试难度指数级上升，公司是国内少有的已实现3纳米、5纳米等先进制程芯片量产测试的企业。公司在算力芯片测试领域的经验非常丰富，曾经是比特大陆等矿机巨头的主要测试方，这些经验现在正在平滑迁移到AI算力芯片上。2.大规模高端测试机台集群。公司具有国内规模领先的中高端测试平台。拥有大量Advantest V93000系列测试机，基于V93K平台开发了大量针对国产高端SoC的测试方案，可进行高达1000A以上大电流、100Gbps以上高速接口的测试。3.具备多工位并行测试技术。对于MCU或者中低端SoC，可实现128工位甚至256工位并行测试，极大压缩了单颗芯片测试时间。

图：公司主营业务演变路径



图：公司现有测试平台

供应商	型号
Advantest	93K CTH
	93K ATH
	T2000
	T53系列
	EVA100
Teradyne	J750EX
	■2
SandTek	Q-Star
	A-Star
PowerTech	QT-8200
NI	STS T4
	PXI
Accotest	STS 8200
Chroma	3380P
	3380D
	3360P
	3360

资料来源：招股说明书、公司官网、第一创业证券整理

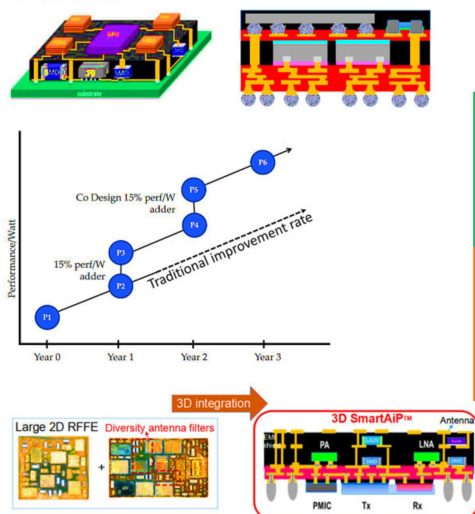


底层技术“基建”独角兽：盛合晶微（未上市）

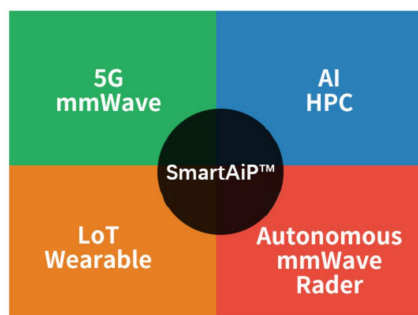
公司简介：盛合晶微半导体有限公司2014年成立，是全球领先的集成电路晶圆级先进封测企业。公司起步于先进的12英寸中段硅片加工，并进一步提供晶圆级封装（WLP）和芯粒多芯片集成封装等全流程的先进封测服务，致力于支持各类高性能芯片，尤其是图形处理器（GPU）、中央处理器（CPU）、人工智能芯片等，通过超越摩尔定律（More than Moore）的异构集成方式，实现高算力、高带宽、低功耗等的全面性能提升。

技术优势：1.凸块制造领域的国内龙头。公司是中国大陆第一家，也是规模最大的专注于12英寸中段凸块的工厂。在铜柱凸块和焊锡凸块领域，公司都具有成熟工艺的可靠性方案。倒装芯片的第一步绕不开长凸块，公司卡住了这个入口。由于公司前身是中芯国际的配套厂，对低介电常数材料的应力控制非常有经验，可防止先进制程芯片在长凸块时碎裂。2. 3D多芯片集成技术是公司的独家王牌。这是公司在后摩尔时代，针对Chiplet趋势推出的杀手锏，直接对标台积电的CoWoS-R或InFO技术。性价比极高，为国产大算力芯片提供了一种比台积电CoWoS更便宜，但性能接近的Chiplet落地方案。3.领先的硅穿孔与晶圆级封装技术。公司不仅做正面凸块，还具备硅通孔制造能力；此外，对于手机AP和射频芯片，公司具有多层RDL扇出型封装技术。

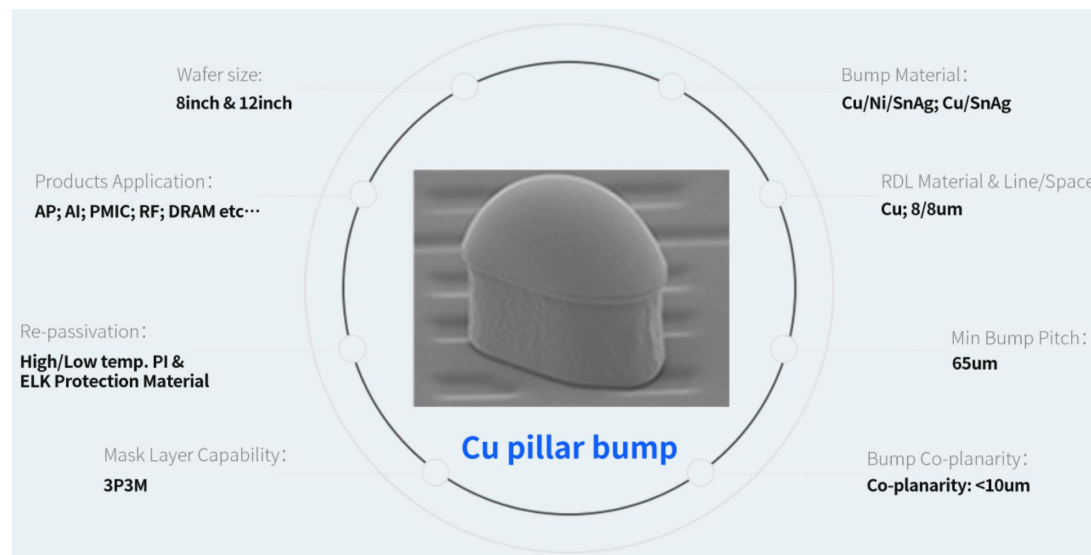
产品结构：



图：公司3D先进封装结构技术



图：公司凸块制造相关技术





底层技术“基建”独角兽：云天半导体（未上市）



公司简介：厦门云天半导体科技有限公司成立于2018年7月，致力于面向新兴半导体产业的先进封装与系统集成，通过自主研发与持续创新，为客户提供从产品协同设计、工艺研发到批量生产的全流程解决方案和服务。主营业务包括:晶圆级三维封装(WLP)、晶圆级扇外型封装(WL-FO)、系统级封装(SiP)及模块(Module)、IPD无源器件制造、高密度2.5D转接板(基于TGV技术)和高精度天线制造等，广泛应用于射频、功率器件、MEMS、生物医药、AI等领域。

技术优势：1.玻璃通孔技术处于国内第一梯队。传统的2.5D封装采用的是硅中介层，通过TSV连接，但硅在高频下损耗大且成本高，公司掌握了先进的激光诱导刻蚀技术，能够在极薄的玻璃上打出微小的孔，并填入金属导电，高频性能良好。此外，公司具备8/12英寸晶圆以及板级玻璃加工能力。2.晶圆级封装射频滤波器封装。公司的三维晶圆级封装可在晶圆上直接构建微型空腔，并进行密封；封装后的滤波器厚度极薄，可直接放在各种超薄的应用环境中。此外，从传统的Sub-6G到高端的毫米波滤波器，公司都有成熟的晶圆级封装方案。3.先进的集成无源器件制造技术。利用玻璃的高绝缘特性，在玻璃晶圆上制作高品质因数的电感和电容，可大幅度缩小射频模组的体积，有助于实现系统级封装。

图：玻璃通孔技术发展进展

Parameters	2021	2022	2023	2024
Wafer size	6"	8"	12"	
*Panel size (THK: 500um)	106X149mm		200X200mm	
Glass thickness	150~500um	100~500um	100~800um	
Min. Via diameter	25um	10um	7um	5um
Min. Via pitch	50um	20um	15um	10um
Thickness/Diameter	5:1(Glass A)	20:1(Glass B)	50:1(Glass C)	75:1
CD tolerance	±5um		±3um	
Via taper	78±5°(Glass A)	82±5°(Glass B)	89±3°(Glass C)	

图：滤波器三维封装工艺能力

Parameters	2021	2022	2023	2024
Wafer size	4/6/8"			
Min. Wall via diameter	50um	40um		
Wall thickness	9um	15um	20um	
Roof via diameter	60um	70um		
Roof thickness	25um	40um		
Max. Cavity size	40X40~300X500um			
Passivation thickness	10um			
Max. RDL layer	1~2(1RDL+1UBM)			
RDL thickness	3um	5um	10um	15um
Min. RDL L/S	≥20/20um	≥15/15um	≥10/10um	
Ball height (WLP)	60~100um			
Ball height (CSP)	60~90um	50~90um		
UBM type	Cu+SnAg or Cu+Ni+SnAg	Ni+Au or Ni+Pd+Au		

资料来源：公司官网、第一创业证券整理

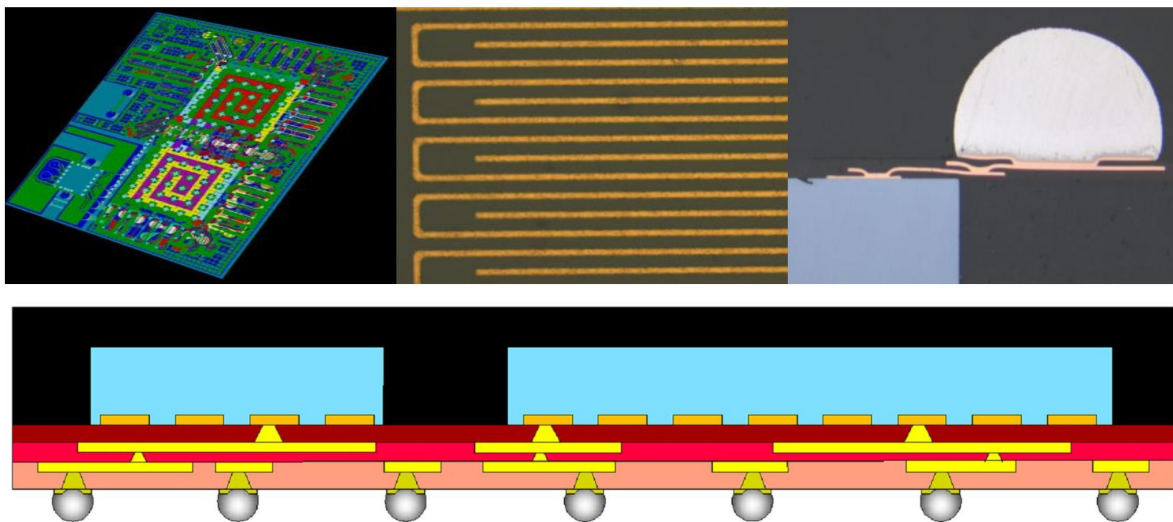


底层技术“基建”独角兽：中科智芯

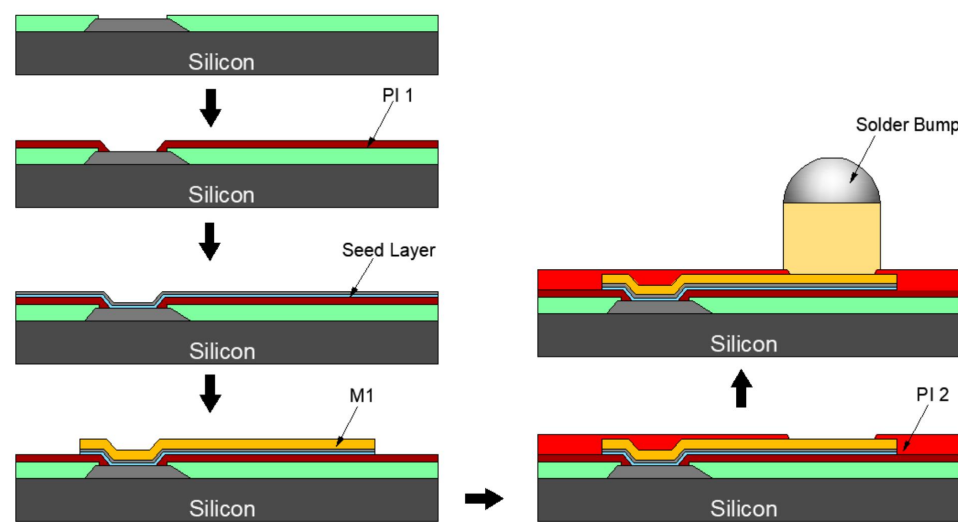
公司简介：江苏中科智芯集成科技有限公司于2018年3月成立，作为集成电路先进封装研发与生产代工基地，中科智芯产品/技术定位于：凸晶(点)/微凸点、晶圆级芯片封装、扇外型封装、三维堆叠与系统集成封装。现阶段公司主要研发与生产的重点主要为晶圆级扇外型封装技术，该技术随着各种大数据、可穿戴、移动电子器件以及高端通讯的需求增长，以其高性价比的优势成为了首选的先进封装方式。

技术优势：1.拥有先进的扇外型封装技术。扇外型封装允许芯片的输入输出接口数量超过芯片本身的面积，把触点扩展到芯片外面去。公司实现了存储芯片模组的扇外型封装量产，这意味着它不需要昂贵的封装基板，直接在晶圆上重布线，这种技术可以让封装变得极薄，散热更好，且成本比传统的倒装更低。非常适合高性能计算和高频射频芯片。2.晶圆级封装与凸块技术。公司是国内少有的掌握了超微间距凸块制造技术的企业，这种微凸块是实现Chiplet和3D堆叠的基础，在研发精度和定制化能力上具备中科院科研优势。3.晶圆级系统集成能力。依托中科院微电子所的专利池，公司在异构集成领域有很深的技术储备。在生物传感和AIoT模组封装中具有较高的技术壁垒。

图：公司的扇外型封装技术



图：公司的凸块技术



重要声明

第一创业证券股份有限公司（以下简称“本公司”）经中国证券监督管理委员会批准，已具备证券投资咨询业务资格。

本报告仅供本公司研究所的客户使用。本公司研究所不会因接收人收到本报告而视其为客户。若本报告的接收人非本公司的客户，应在基于本报告作出任何投资决定或就本报告要求任何解释前咨询独立投资顾问。

本报告的信息均来源于公开资料，本公司对这些信息的准确性和完整性不作任何保证，也不保证所包含的信息和建议不会发生任何变更。

本报告可能在今后的时间内因公司基本面变化和假设不成立导致的目标价格不能达成的风险。

我们已力求报告内容的客观、公正，但文中的观点、结论和建议仅供参考，报告中的信息或意见并不构成所述证券的买卖出价或征价，投资者据此做出的任何投资决策与本公司和作者无关。本公司不会承担因使用本报告而产生的法律责任。

本公司及其所属关联机构可能会持有报告中提到的公司所发行的证券头寸并进行交易，也可能为这些公司提供或者争取提供投资银行、财务顾问或者金融产品等相关服务。

本报告版权归本公司所有，未经本公司授权，不得复印、转发或向特定读者群以外的人士传阅，任何媒体和个人不得自行公开刊登、传播或使用，否则本公司保留追究法律责任的权利；任何媒体公开刊登本研究报告必须同时刊登本公司授权书，且不得对本报告进行有悖原意的引用、删节和修改，并自行承担向其读者、受众解释、解读的责任，因其读者、受众使用本报告所产生的一切法律后果由该媒体承担。任何自然人不得未经授权而获得和使用本报告，未经授权的任何使用行为都是不当的，都构成对本公司权利的损害，由其本人全权承担责任和后果。

市场有风险，投资需谨慎。

投资评级

评级类别	具体评级	评级定义
股票投资评级	强烈推荐	预计6个月内，股价涨幅超同期市场基准指数20%以上
	审慎推荐	预计6个月内，股价涨幅超同期市场基准指数5-20%之间
	中性	预计6个月内，股价变动幅度相对基准指数介于±5%之间
	回避	预计6个月内，股价表现弱于市场基准指数5%以上
行业投资评级	推荐	行业基本面向好，行业指数将跑赢基准指数
	中性	行业基本面稳定，行业指数跟随基准指数
	回避	行业基本面向淡，行业指数将跑输基准指数

联系方式

公司总部	北京办事处
深圳市福田区福华一路115号投行大厦20楼 TEL:0755-23838888 FAX:0755-25831718 P.R.China:518048 www.firstcapital.com.cn	北京市西城区广宁伯街2号金泽大厦东区16层 TEL: 010-63197788 FAX: 010-63197777 P.R.China:100140