

Chiplet 助力半导体产业弯道超车，先进封装、IC 载板、半导体 IP 等多环节受益

Chiplet 行业专题报告

超配（维持）

2023 年 3 月 30 日

刘梦麟

SAC 执业证书编号：

S0340521070002

电话：0769-22110619

邮箱：liumenglin@dgzq.com.cn

罗炜斌

SAC 执业证书编号：

S0340521020001

电话：0769-22110619

邮箱：luoweibin@dgzq.com.cn

陈伟光

SAC 执业证书编号：

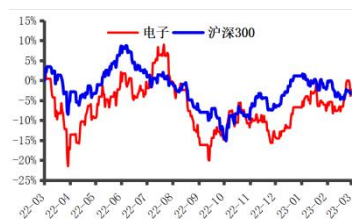
S0340520060001

电话：0769-22110619

邮箱：

chenweiguang@dgzq.com.cn

电子行业指数走势



资料来源：Wind，东莞证券研究所

相关报告

投资要点：

- **Chiplet能有效提升集成度并保证良率，是后摩尔时代我国芯片弯道超车的重要途径。**Chiplet是将一类满足特定功能的die，通过die-to-die内部互联技术实现多个模块芯片与底层基础芯片封装在一起，进而形成一个系统芯片。它能在不改变制程的前提下提升芯片集成度，提高算力并保证芯片生产良率，相比传统SoC在设计灵活性、设计与生产成本、上市周期等方面优势明显，有望成为后摩尔时代我国集成电路弯道超车的重要途径。
- **国内外厂商积极推进，市场规模有望实现快速增长。**新互联标准UCIe的提出，为集成不同制程工艺、不同厂商、不同技术的芯片提供了标准与技术支持，让晶圆代工厂可以对不同类型的芯片进行集成，减小行业发展阻力，有助于Chiplet行业快速走向成熟。Chiplet可在一定程度上避免摩尔定律放缓的窘境，全球半导体龙头企业积极推进，国内亦有多家知名企业先后加入UCIe联盟，直接受益相关技术标准，共同构建Chiplet生态体系，助力Chiplet市场规模实现快速增长。
- **Chiplet技术持续推进，先进封装、IC载板、半导体IP等多环节受益。**
先进封装与测试：Chiplet需要先进封装技术作为支持，此外，在生产完成后需要进行全检，增大集成电路测试需求，利好在先进封装布局领先的封测厂商与测试设备供应商；**IC载板：**IC载板为先进封装的关键材料，国产替代率低，行业存在较大供需缺口，以兴森、深南为代表的内资PCB企业积极扩产，以满足下游客户需求；**半导体IP：**Chiplet开启IP复用新模式，即硅片级别的复用，不同功能的IP可灵活选用选择不同的工艺分别进行生产，从而可以灵活平衡计算性能与成本。随着Chiplet技术演进，IP供应商的商业灵活性和发展空间得到拓展，可积极关注相关企业。
- **投资策略：维持行业“超配”评级。**Chiplet为后摩尔时代提升芯片算力与集成度的重要途径，有望助力我国集成电路产业先进制程实现弯道超车，各大厂商积极布局。Chiplet技术持续推进，先进封装、半导体测试、IC载板与半导体IP等多环节受益，建议关注相关企业。**先进封装：**长电科技（600584）、华天科技（002185）、通富微电（002156）、晶方科技（603005）；**集成电路测试设备：**华峰测控（688200）、长川科技（300604）；**IC载板：**兴森科技（002436）、深南电路（002916）；**半导体IP：**芯原股份（688521）。
- **风险提示：**Chiplet推进不及预期、集成电路行业景气持续低迷。

本报告的风险等级为中高风险。

本报告的信息均来自已公开信息，关于信息的准确性与完整性，建议投资者谨慎判断，据此入市，风险自担。

请务必阅读末页声明。

目录

1、Chiplet 是国内半导体弯道超车的重要途径，市场规模有望快速增长	4
1.1 Chiplet 为后摩尔时代提升芯片算力与集成度的重要途径	4
1.2 海外科技领域制裁加剧，Chiplet 助力国内半导体产业弯道超车	6
1.3 新互联标准提供行业规范，Chiplet 市场规模有望快速扩张	8
2、Chiplet 技术持续推进，先进封装、IC 载板、半导体 IP 等多环节受益	10
2.1 Chiplet 拉动先进封装、半导体测试需求	10
2.2 IC 载板是先进封装的关键材料，国产替代前景广阔	16
2.3 Chiplet 采用新型的 IP 复用模式，为半导体 IP 发展提供新机遇	18
3、投资策略	20
4、风险提示	21

插图目录

图 1：摩尔定律在过去几十年指引集成电路产业发展	4
图 2：摩尔定律逐步放缓	4
图 3：GPU、CPUChiplet 示意图	4
图 4：集成多制程工艺器件的 Chiplet 异构处理器	4
图 5：Chiplet 晶圆设计方案	6
图 6：Chiplet 方案能显著提升芯片良率	6
图 7：台积电 22Q3 收入分布（按制程节点划分）	7
图 8：台积电 7nm 及以下制程占比不断提升	7
图 9：Ucle 产业联盟董事会成员	9
图 10：UCIE 的堆栈可分为三层	9
图 11：全球 Chiplet 芯片市场规模预测（亿美元）	10
图 12：2014-2021 年全球集成电路封测行业市场规模及同比增长率	10
图 13：2014-2021 年中国集成电路封测销售额及同比增长率	10
图 14：2010-2021 年国内集成电路设计行业市场规模及同比增长率	11
图 15：2010-2022 年中国芯片设计企业数量增长情况	11
图 16：不同制程节点下芯片的成本结构	13
图 17：传统封装与先进封装比较	13
图 18：2017-2027 年全球先进封装细分方向市场规模预测	13
图 19：EMIB 封装技术	14
图 20：CoWOS 封装技术	14
图 21：IC 载板结构示意图	16
图 22：IC 载板下游应用领域	16
图 23：封装材料价值量占比	17
图 24：全球 IC 载板竞争格局	17
图 25：2014-2025 年中国 IC 载板市场规模（亿元，含预测值）	18
图 26：Chiplet 通过集成大量 IP 缩短研发周期，提升良率	19
图 27：不同工艺节点下芯片所集成的硬件 IP 数量（平均值）	19
图 28：全球半导体 IP 市场规模（单位：10 亿美元）	19

表格目录

表 1：Chiplet 芯片与 SoC 比较	6
表 2：海外制裁限制我国半导体产业发展	7

表 3：2022 年全球封测前十强预估排名	12
表 4：全球部分先进封装解决方案	14
表 5：全球主要提供 Chiplet 封装厂商解决方案汇总	15
表 6：封装基板分类（按基板材料划分）	17
表 7：重点公司盈利预测及投资评级（截至 2022/3/29）	20

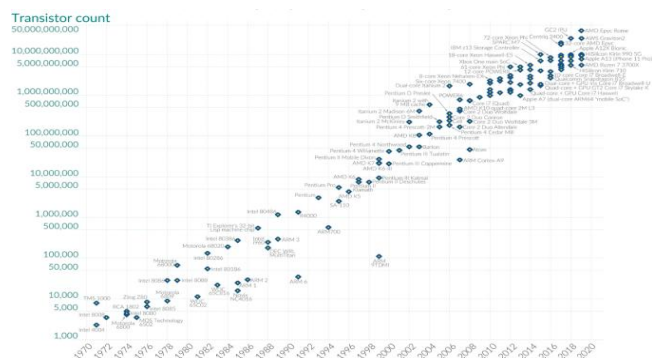
1、Chiplet 是国内半导体弯道超车的重要途径，市场规模有望快速增长

1.1 Chiplet 为后摩尔时代提升芯片算力与集成度的重要途径

摩尔定律指引过去几十年集成电路产业发展。摩尔定律由英特尔创始人之一的戈登·摩尔（Gordon Moore）提出，其核心内容为：在价格不变时，集成电路上可以容纳的晶体管数量每 18-24 个月便会增加一倍，即：处理器性能大约每两年翻一倍，同时价格下降为之前的一半。在过去几十年，摩尔定律指引着集成电路产业发展。随着工艺进步，集成电路上晶体管密度不断提升，驱动计算机性能保持几何级数增长，而性能的快速提升则推动芯片价格迅速下降。

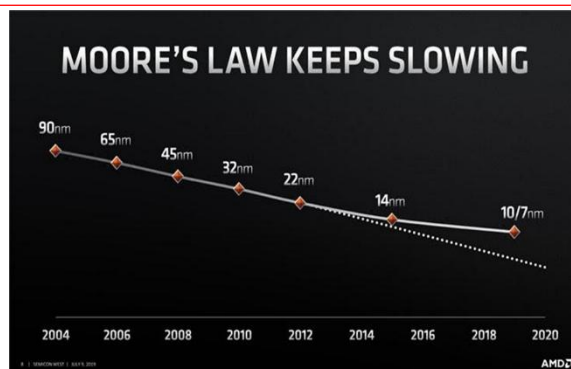
“摩尔定律”发展陷入瓶颈，集成电路进入后摩尔时代。从 1987 年的 1 μ m 制程至 2015 年的 14nm 制程，集成电路制程迭代大致符合“摩尔定律”的规律。但自 2015 年以来，集成电路先进制程的发展开始放缓，7nm、5nm、3nm 制程的量产进度均落后于预期。随着台积电宣布 2nm 制程工艺实现突破，集成电路制程工艺已接近物理尺寸的极限，摩尔定律发展陷入瓶颈，行业进入了“后摩尔时代”。

图 1：摩尔定律在过去几十年指引集成电路产业发展



资料来源：维基百科，东莞证券研究所

图 2：摩尔定律逐步放缓

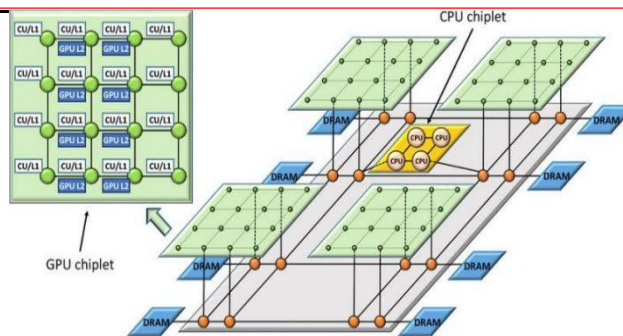


资料来源：AMD，东莞证券研究所

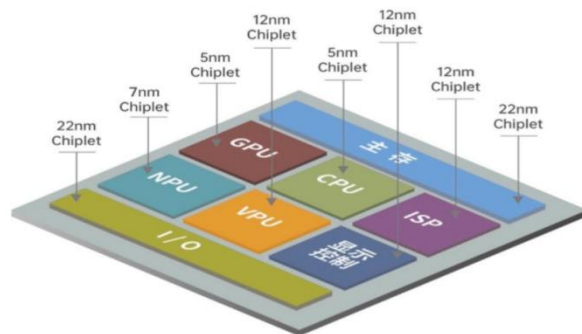
Chiplet 可在不改变制程的前提下提升算力，且保证芯片良率。Chiplet 俗称“芯粒”，又称“小芯片组”，从字面意义上可以理解为“粒度更小的芯片”。它是将一类满足特定功能的 die，通过 die-to-die 内部互联技术实现多个模块芯片与底层基础芯片封装在一起，进而形成一个系统芯片。它可以有效提升芯片的集成度，是在不改变制程的前提下提升算力，并且保证芯片生产良率的一种手段。

图 3：GPU、CPU Chiplet 示意图

图 4：集成多制程工艺器件的 Chiplet 异构处理器



资料来源：电子工程世界，东莞证券研究所



资料来源：芯原股份年报，东莞证券研究所

与传统 SoC 相比，Chiplet 在设计灵活性、设计与生产成本、上市周期等方面优势明显。传统 SoC，即系统级单芯片，是将多个负责不同类型计算任务的计算单元，通过光刻的形式制作到同一块晶圆上。随着摩尔定律放缓，传统的 SoC 的生产周期越来越长，在成本大幅增加的情况下性能提升幅度有限，行业接近制造瓶颈；与 SoC 不同，Chiplet 是将一块原本复杂的 SoC 芯片，从设计时就先按照不同的计算单元或功能单元对其进行分解，然后每个单元选择最适合的半导体制程工艺进行分别制造，再通过先进封装技术将各个单元彼此互联，最终集成封装为一个系统级芯片组。

相比传统的 SoC，Chiplet 能够有效降低研发、设计与制造成本，并显著提升芯片良率。英特尔公司高级副总裁、中国区董事长王锐在 2022 世界集成电路大会上表示，Chiplet 技术是产业链生产效率进一步优化的必然选择。“不但提高芯片制造良品率，利用最合适的工艺满足数字、模拟、射频、I/O 等不同技术需求，而且更将大规模的 SoC 按照不同的功能，分解为模块化的芯粒，减少重复的设计和验证环节，大幅度降低设计复杂程度，提高产品迭代速度。且有利于后续的产品迭代，缩短上市周期。”

Chiplet 优势一：降低芯片设计的复杂程度，有效降低研发与设计成本。Chiplet 芯粒设计灵活，且可重复使用，通过将已知的合格芯片裸片进行集成，能够缩短芯片的研发与设计周期，降低研发设计成本。据悉，设计 28nm 芯片的平均成本为 4,000 万美元，设计 7nm 芯片的成本上升至 2.17 亿美元。而 The Linley Group 的白皮书《Chiplets Gain Rapid Adoption: Why Big Chips Are Getting Small》中提出，Chiplet 技术可以将大型 7nm 设计的成本降低 25%。

Chiplet 优势二：提升良率。SoC 将多个不同类型计算任务的计算单元以光刻形式集成在同一片晶圆上，随着先进制程不断推进，单位面积上集成的晶体管数量越来越多，设计周期越来越长，芯片面积也在加大。高性能计算等领域巨大运算需求推动逻辑芯片运算核心数量上升，配套 SRAM 容量、I/O 数量随之提升。随着芯片面积的加大和集成的晶体管数量增多，对制造过程中的芯片良率提出较高挑战，让芯片生产中的工艺误差和加工缺陷显得愈发明显，一个微小的缺陷就可能导致整个大芯片报废。Chiplet 技术将大芯片分割成不同功能模块进行独立制造，通过将广泛的、成熟的芯片裸片进行集成，只需保障各个被集成的成熟芯片良率即可，能够降低先进制程的研发与制造风险，有效提升良率。

Chiplet 优势三：大幅降低芯片制造成本。SoC 中的逻辑计算单元对性能要求高，整体依赖先进制程，具有极高的生产壁垒与制造成本；Chiplet 方案则可针对不同的模块采

取不同的合适的制程，分开制造，最后采用先进封装技术进行组装，能大幅降低芯片的制造成本。

图 5: Chiplet 晶圆设计方案

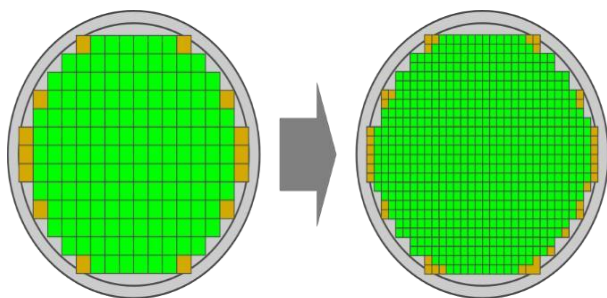
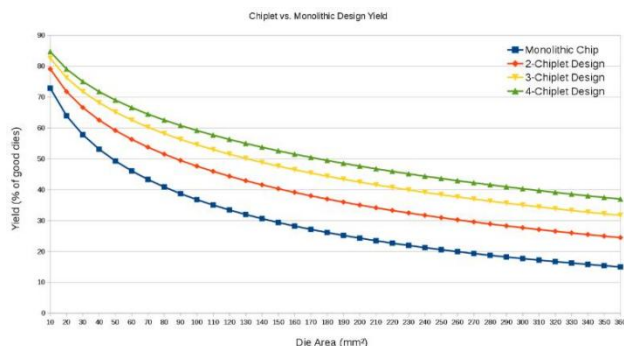


图 6: Chiplet 方案能显著提升芯片良率



资料来源: EE Times, 东莞证券研究所

资料来源: WikiChip, 东莞证券研究所

后摩尔时代，Chiplet 成为提高芯片算力与集成度的重要途径。后摩尔时代，随着集成度提升，SoC 开始在供电、功耗和散热等方面面临挑战，芯片全流程设计成本大幅增加，而制程工艺接近极限，每次迭代升级都需要付出极大的额外成本，而随着性能提升，发热功耗等方面的问题也日益凸显，继续追求极致工艺的意义已经不大。Chiplet 作为当下较受关注的半导体发展方向，可有效降低能够有效降低芯片设计与制造的门槛，提升良率和节约成本，因此成为摩尔定律趋缓背景下提升芯片集成度与算力的重要途径。

表 1: Chiplet 芯片与 SoC 比较

项目	单片 SOC	Chiplet 芯片
设计成本	高，7nm 大于 2 亿美元	低于单片 SoC
设计时间	长，一般大于 18 个月	较短，一般为 12 个月，后续设计更快
设计风险	高，遗漏功能需要重新设计	较低，重新设计内容可以增减模块芯片
性能	高，针对不能规模化功能的重新设计会造成资源低效使用	较高，可根据模块功能选择芯片制程
功耗	低	接近单片 SOC 功耗
上市时间	慢	较快
产品尺寸	小	较小

资料来源: 《后摩尔时代 Chiplet 技术的演进与挑战》，东莞证券研究所

1.2 海外科技领域制裁加剧，Chiplet 助力国内半导体产业弯道超车

海外科技领域制裁加剧，国内半导体先进制程发展受限。近年来中美摩擦加剧，美国针对中国在高科技领域的限制增多，企图通过加大制裁力度来限制国内集成电路产业发展。2020 年 12 月，美国将中芯国际列入“实体清单”，限制企业 14nm 及以下半导体制程的扩产；2022 年 8 月，美国签署《芯片与科学法案》，主要用于增强美国本土晶圆厂的竞争力，并明确规定获得美国政府补贴的企业，10 年内不得在中国大陆扩产 28nm 以下的芯片制造。《芯片法案》的签署，进一步加剧了中美在高科技领域的脱钩程度，导致国内芯片先进制程发展受到限制。

表 2：海外制裁限制我国半导体产业发展

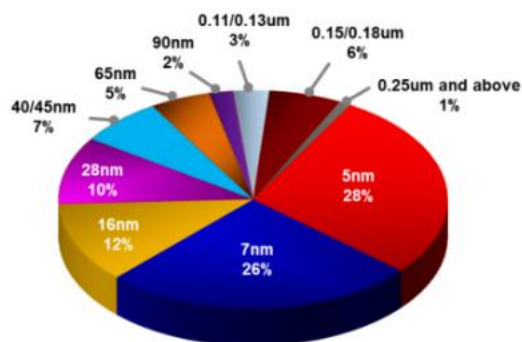
环节	过去及现有封锁	四方联盟	芯片法案
半导体设计	2019 年 5 月：美国商务部将华为列入出口管制“实体清单”；当月 22 日，ARM 停止与华为合作	预计四方联盟或将限制供应中国 28nm 以下的先进制程芯片的设计软件	---
半导体设备	2018 年，特朗普签署 2019 财年国防授权法案，限制政府采购华为、中兴、海康等企业的设备及产品； 2021 年 12 月，美国禁止韩国 SK 海力士在华工厂引进 ASML EUV 光刻机； 2021 年 11 月，intel 成都扩产计划因美国政府反对而取消	亚洲与美国的设备出口已对中国大陆设限	---
半导体制造	2020 年 5 月，美国商务部宣布禁止芯片代工厂使用美国设备为华为生产芯片	美国或利用四方芯片联盟结合芯片法案，限制中国大陆在先进制程上的扩产能力	获得美国政府补贴的企业，10 年内不得在中国大陆扩产 28nm 以下的芯片制造
半导体材料	美国限制向中国出口主要芯片制造原材料，包括：复合半导体晶圆、极紫外掩膜、光刻胶、刻蚀气体和掺杂物	四方联盟或将在材料上限制对中国的供给	---

资料来源：《中美战略竞争下两岸半导体产业发展问题研究》，美国商务部，东莞证券研究所

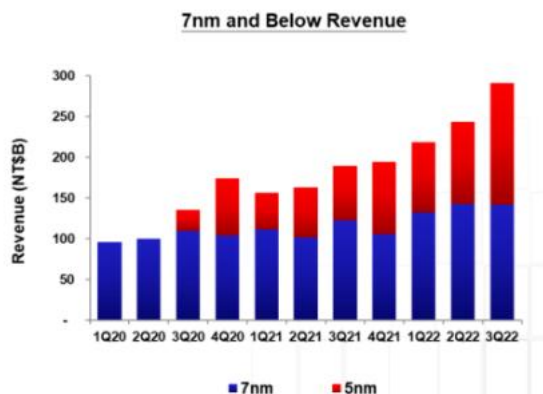
先进制程是提高算力的必要途径，台积电先进制程占比不断提高。近年来，人工智能、大数据、自动驾驶和 AIoT 等下游应用的不断发展，对芯片处理与运算能力提出更高的要求，高性能、低功耗成为先进制程的发展方向。从全球晶圆代工龙头台积电的各制程营收占比来看，近年来台积电先进制程营收占比不断提升：2022 年前三季度，台积电实现营收 6,131.4 亿元新台币，其中 5nm 制程占比 28%，7nm 制程占比 26%。而分地区看，近年来台积电来自大陆市场的营收占比有所下滑。2022 年，美国市场成为台积电最大来源，营收规模达 1.49 万亿新台币，占比 65.96%，中国大陆市场营收 2,451.68 亿元，占比 10.82%，相比 2020 年的 17.45%大幅下滑。

图 7：台积电 22Q3 收入分布（按制程节点划分）

图 8：台积电 7nm 及以下制程占比不断提升



资料来源：台积电法说会，东莞证券研究所



资料来源：台积电法说会材料，东莞证券研究所

海外制裁加剧，Chiplet 有望助力国内半导体产业实现弯道超车。通过先进制程可实现芯片性能的迅速提升，因此全球晶圆代工龙头先进制程占比不断提升，而中国大陆先进制程发展受到限制。Chiplet 技术仅对核心 Chip 采用先进制程，其他如存储芯片、I/O 芯片采用成熟制程，有效降低对先进制程的依赖，有望成为我国半导体产业弯道超车的突破口。2022 年 12 月，我国第一个原生 Chiplet 技术标准——《小芯片接口总线技术要求》团体标准正式发布，这个标准涵盖了多种应用场景的小芯片接口总线技术要求，包括总体概述、接口要求、链路层、适配层、物理层和封装要求等，能够灵活应对不同的应用场景、适配不同能力的技术供应商。《总线技术要求》的发布，对于我国集成电路产业延续“摩尔定律”，打破先进制程限制因素，提升产业综合竞争力，具有重要意义。

1.3 新互联标准提供行业规范，Chiplet 市场规模有望快速扩张

新互联标准 UCIe 出台，为集成不同芯片提供标准与技术支持。尽管 Chiplet 优势明显，但由于过去 Chiplet 互联标准并不统一，各类 Chiplet 产品接口有所不同，无法“拼接”在一起，因此行业发展受到制约。2022 年 3 月，AMD、英特尔、台积电、三星、美光、微软、Meta、Google 等十余家半导体、互联网行业巨头联合成立了 Chiplet 标准联盟，正式推出了通用 Chiplet 高速互联标准“Universal Chiplet Interconnect Express”（通用芯粒互连，简称“UCIe”），旨在定义一个开放、可互操作的 Chiplet 生态系统标准。业内巨头联手推动 Chiplet 接口规范的标准化，以实现 Chiplet 在封装级别的普遍互联，构建开放的 Chiplet 生态系统，有助于 Chiplet 行业快速发展。

UCIe 是唯一具有裸片间接口堆栈的标准，成为 Chiplet 设计的首选标准。此前为应对 Chiplet 设计中所面临的挑战，行业出现了集中不同的标准，但 UCIe 是唯一具有完整裸片间接口堆栈的标准，其他标准都没有为协议栈提供完整裸片间接口的全面规范，大多仅关注在特定层。而且 UCIe 支持 2D、2.5D 和桥接封装，预计未来还会支持 3D 封装。

新思科技（Synosys）指出，Ucle 的堆栈本身拥有三层：

协议层：最上层为协议层，通过基于流量控制单元（FLIT）的协议实现，确保最大效率和降低延迟，支持最流行的协议，包括 PCI Express®（PCIe®）、Compute Express Link（CXL）和/或用户定义的流协议；

中间层：用于对协议进行仲裁与协商，以及通过裸片间适配器进行连接管理。基于循环

冗余检查（CRC）和重试机制，该层还包括可选的错误纠正功能；

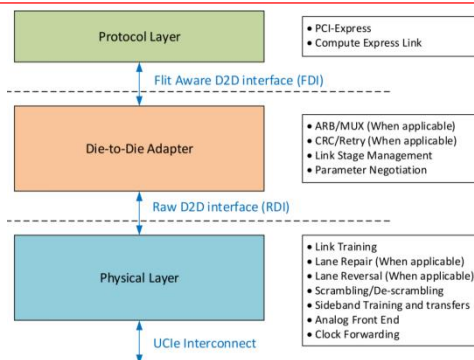
物理层：定义了与封装介质的电气接口，是电气模拟前端（AFE）、发射器和接收器以及边带通道允许两个裸片之间进行参数交换与协商的层级。逻辑 PHY 实现了连接初始化、训练和校准算法，以及测试和修复功能。

图 9：Ucle 产业联盟董事会成员



资料来源：Ucle 官网，东莞证券研究所

图 10：UCIE 的堆栈可分为三层

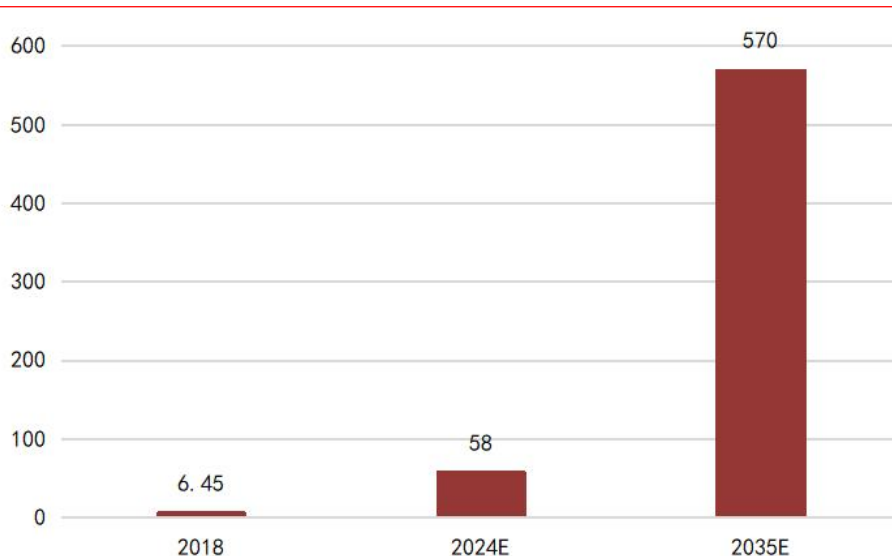


资料来源：Ucle，Synosys，东莞证券研究所

国内厂商纷纷加入，直接受益于 Chiplet 发展趋势。Ucle 的提出，为集成不同制程工艺、不同厂商、不同技术的芯片提供了标准与技术支持，让晶圆代工厂可以对不同类型的芯片进行集成，有助于 Chiplet 行业快速走向成熟。经过数年发展，Chiplet 技术已逐渐走向商用，成为芯片厂商较为依赖的技术手段，也被认为是未来芯片行业发展的重要方向。截至目前，芯原股份、长电科技、OPPO、阿里巴巴等众多国内知名企业已加入 Ucle 联盟中，直接受益于相关技术标准，共同构建 Chiplet 生态体系，助力行业快速发展。

Chiplet 市场规模不断扩张，预计 2034 年有望达到 570 亿美元。Chiplet 可在一定程度上避免摩尔定律放缓的窘境，全球半导体龙头企业积极推进，市场规模有望实现高速增长。Omdia 指出，2018 年全球 chiplet 市场规模约为 6.45 亿美元，至 2024 年将达到 58 亿美元，预计到 2035 年有望突破 570 亿美元，2018-2035 年复合增长率超过 30%。

图 11：全球 Chiplet 芯片市场规模预测（亿美元）



资料来源：Omdia，东莞证券研究所

2、Chiplet 技术持续推进，先进封装、IC 载板、半导体 IP 等多环节受益

2.1 Chiplet 拉动先进封装、半导体测试需求

近年我国封测产业稳步发展，行业增速高于全球平均水平。封测行业位于半导体生产制造环节的下游，需要大量的设备与人员投入，属于资本密集型、人员密集型产业。过去十余年，在半导体产业转移、人力资源成本优势、税收优惠等因素促进下，全球集成电路封测产能逐步向亚太地区转移，目前亚太地区占据全球约 80% 集成电路封测产能。近年来，全球集成电路封测产业进入稳步发展期，2014-2021 年行业市场规模复合增长率为 4.27%，而我国受益于下游智能手机等终端应用的蓬勃发展，封测产业增速领先全球。据中国半导体行业协会数据统计，中国集成电路封测业年度销售额从 2014 年的 1,256 亿美元增至 2021 年的 2,763 亿美元，2014-2021 年符合增长率约为 11.92%，远高于同期全球平均水平，随着下游应用持续发展以及先进封装工艺不断进步，国内封测行业成长空间广阔。

图 12：2014-2021 年全球集成电路封测行业市场规模及图 13：2014-2021 年中国集成电路封测销售额及同比增长率



资料来源: Yole, 东莞证券研究所



资料来源: 中国半导体行业协会, 东莞证券研究所

本土 IC 设计企业增多, 增大下游封测需求。我国的集成电路设计产业发展起点较低, 但依靠着巨大的市场需求和良好的产业政策环境等有利因素, 已成为全球集成电路设计产业的新生力量。从产业规模来看, 我国大陆集成电路设计行业销售规模从 2010 年的 550.0 亿元增长至 2022 年的 5,345.7 亿美元, 年复合增长率约为 20.87%; 而本土产业链的逐步完善, 也为国内初创芯片设计公司提供了晶圆制造支持, 叠加产业资金与政策支持, 以及海外人才回流, 我国芯片设计公司数量快速增加。据中国半导体行业协会数据, 自 2010 年以来, 我国芯片设计公司数量大幅提升, 2010 年仅为 582 家, 2022 年增长至 3,243 家, 2010-2022 年年均复合增长率约为 15.39%。不断扩大的集成电路设计市场规模与不断增加的 IC 设计企业数量也增大对下游半导体封装、测试需求, 推动我国集成电路封测产业发展。

图 14: 2010-2021 年国内集成电路设计行业市场规模及图 15: 2010-2022 年中国芯片设计企业数量增长情况
同比增长率



资料来源: 中国半导体行业协会集成电路设计分会年会, 东资料来源: 中国半导体行业协会集成电路设计分会年会, 东莞证券研究所

封测为我国集成电路领域最具竞争力环节, 共有四家厂商营收进入全球前十。目前我国集成电路领域整体国产自给率较低, 尤其是在半导体设备、材料与晶圆制造等环节, 与国际领先水平差距较大, 而封测为我国集成电路领域最具国际竞争力的环节。近年来, 以长电为代表的几家国内封测龙头企业通过自主研发和并购重组, 在先进封装领域不断发力, 现已具备较强的市场竞争力, 有能力参与国际市场竞争。据芯思想研究院, 2022, 中国大陆有 4 家企业进入全球封测厂商前十名, 分别为长电科技、通富微电、华天科技和智路封测、全年营收分列全球第 3、第 4、第 6 和第 7 位。

表 3：2022 年全球封测前十强预估排名

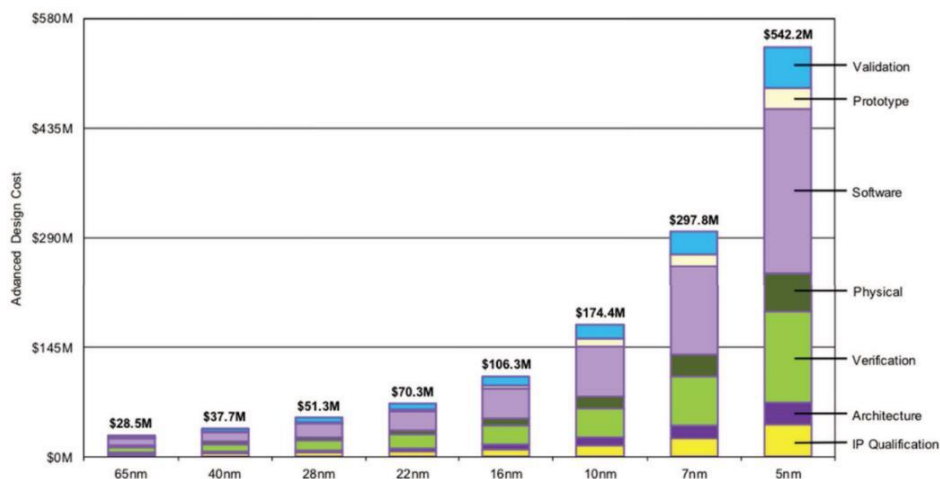
22 排名	21 排名	公司	地区	2021 年	2022 年	年增长%	2021 市占率	2022 市占率
1	1	日月光控股 ASE	中国台湾	77240	85489	10.68%	26.90%	27.11%
2	2	安靠 Amkor	美国	38606	44393	14.99%	13.44%	14.08%
3	3	长电科技 JCET	中国大陆	30502	33778	10.74%	10.62%	10.71%
4	5	通富微电 TFME	中国大陆	15812	20519	29.77%	5.51%	6.51%
5	4	力成科技 PTI	中国台湾	18916	19277	1.91%	6.59%	6.11%
6	6	华天科技 HUATIAN	中国大陆	12097	12127	0.25%	4.21%	3.85%
7	7	智路封测 WiseRoad	中国大陆	9146	10968	19.92%	3.19%	3.48%
8	8	京元电子 KYEC	中国台湾	7788	8448	8.47%	2.71%	2.68%
9	10	欣邦 Chipbond	中国台湾	6247	5515	-11.72%	2.18%	1.75%
10	9	南茂 ChipMOS	中国台湾	6321	5401	-14.55%	2.20%	1.71%
前十大合计				222675	245915	10.44%	77.55%	77.98%
其他				64466	69435	7.71%	22.45%	22.02%
全球合计				287141	315350	9.82%	100.00%	100.00%

资料来源：芯思想研究院（2023 年 1 月），东莞证券研究所

注：智路封测的营收包括 UTAC 和日月新半导体

后摩尔时代，先进封装成为提升芯片性能的重要途径。“后摩尔时代”制程技术突破难度较大，工艺制程受成本大幅增长和技术壁垒等因素，进步速度放缓。据市场调研机构 ICInsights 统计，28nm 制程节点的芯片开发成本为 5,130 万美元，16nm 节点的开发成本为 1 亿美元，7nm 节点的开发成本需要 2.97 亿美元，而 5nm 节点开发成本则上升至 5.4 亿美元。从产品开发角度，产品进入到大规模量产前需要多次流片验证，带来费用支出成倍增加。由于集成电路制程工艺短期内难以突破，且制程升级对芯片性能提升的边际收益有所收窄，通过先进封装技术提升芯片整体性能成为了集成电路行业的一个重要发展趋势。

图 16：不同制程节点下芯片的成本结构

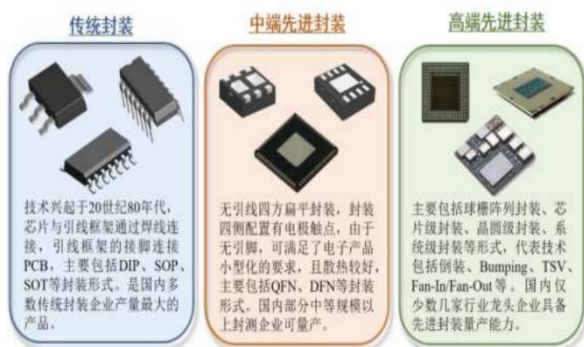


资料来源：IBS，东莞证券研究所

先进封装相比传统封装优势明显。先进封装是相对传统封装提出来的概念。传统封装主要是以引线框架为载体，采用引线键合互联的形式进行封装，包含 DIP、SOP、SOT、DFN、BGA 等封装形式；先进封装指当下最前沿的封装形式与技术，目前带有倒装芯片（Flip Chip, FC）结构的封装、晶圆级封装（Wafer Level Package, WLP）、2.5D 封装、3D 封装等被认为属于先进封装的范畴。

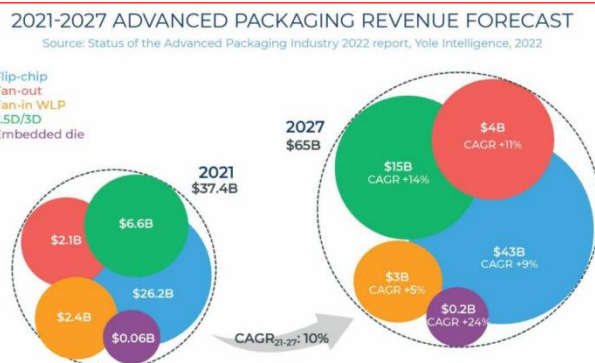
随着先进制程持续演进，以及电子产品不断向小型化、高速化、系统化与低成本化发展，传统封装的局限性愈发突出。与传统封装相比，先进封装能够提升芯片的集成密度与互联速度，有效降低设计门槛，优化功能搭配的灵活性，能够增强芯片性能，并改善散热和可靠性，因此在高端逻辑芯片、存储芯片、射频、图像处理和触控芯片等领域得到广泛应用。Yole 指出，2019 年全球先进封装市场规模占总封装市场比重约为 42.60%，预计 2019-2025 年将以 6.6% 的年均复合增长率持续增长，至 2025 年先进封装占整个封装市场的比重有望接近 50%。

图 17：传统封装与先进封装比较



资料来源：甬矽电子招股说明书，东莞证券研究所

图 18：2017-2027 年全球先进封装细分方向市场规模预测



资料来源：Yole，东莞证券研究所

先进封装技术是 Chiplet 的基础，Chiplet 方案大概率会采用先进封装，推动先进封装发展。Chiplet 具有成本低、周期短、良率高等优点，其核心是实现芯片间的高速互联，且兼顾多种芯片互联后的重新布线，为实现既定性能，对 Chiplet 之间的布线密度、信号传输质量提出较高要求，封装加工精度与难度进一步加大，并且要考虑散热和功率分

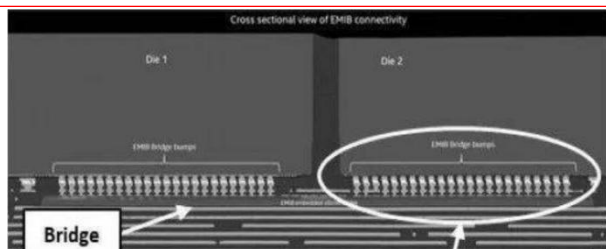
配等问题。因此，Chiplet 技术因此需要高密度、大带宽的先进封装技术提供硬件支持，大概率采用先进封装方案，如 SiP（系统级封装技术）、RDL（晶圆重布线技术）、Bumping（晶圆凸点工艺）、Fan-in/out（扇入/扇出式封装）等。

表 4：全球部分先进封装解决方案

先进封装解决方案	年份	2D/2.5D/3D	功能密度	应用	主要厂商
FOWLP	2019	2D	低	智能手机、5G、AI	英飞凌、恩智浦
INFO	2016	2D	中	智能手机、5G、AI	台积电
FOPLP	2017	2D	中	移动设备、5G、AI	三星
EMIB	2018	2D	中	Graphics、HPC	英特尔
CoWoS	2012	2.5D	中	HPC	台积电
HBM	2015	3D+2.5D	高	Graphics、HPC	AMD、英伟达、海力士、英特尔、三星
HMC	2012	3D	高	HPC	美光、三星、IBM、ARM、微软
Wide-IO	2012	3D	中	高端智能手机	三星
Foveros	2018	3D	中	HPC	英特尔
Co-EMIB	2019	3D+2D	高	HPC	英特尔
TSMC-SolC	2020	3D	非常高	5G、AI、可穿戴移动设备	台积电
X-Cube	2020	3D	高	5G、AI、可穿戴移动设备	三星

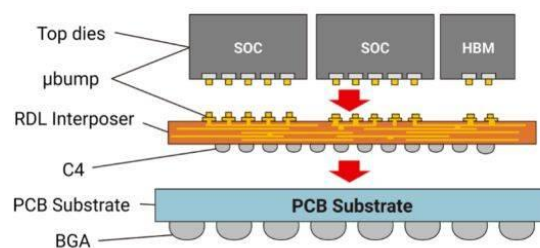
资料来源：《先进封装与异构集成》，东莞证券研究所

图 19：EMIB 封装技术



资料来源：半导体行业观察，东莞证券研究所

图 20：CoWoS 封装技术



资料来源：台积电，东莞证券研究所

Chiplet 提升半导体测试需求，利好下游封测厂商、半导体独立测试厂商和测试设备供应商。Chiplet 通过将多个裸芯（die）进行堆叠合封的先进封装，通常使用较为复杂的芯片。由于在 Chiplet 中封装了多个 die，为确保正常运行，需要对 Chiplet 进行全检，以确保每一个裸芯片都能正常工作，此外需通过边界扫描(Boundary Scan)测试，才能确保多个裸芯（die）互联的可靠性。中芯国际在其 2020 年的技术发展性报告中说道：以 Chiplet 技术生产芯片的可测试性是一个挑战，特别是一旦这些小系统被封装在一起，只有数量较少的测试引线可以延伸到封装外；因此，测试必须分阶段进行，先测试单个的芯片，然后测试封装后的完整系统。由此可见，Chiplet 既要每一个裸芯片进行测试，也要对裸芯片下的互联进行测试，因此会增大对半导体封测、半导体封测设备的需求。并对测试设备的数量和性能都提出更高要求，利好封测企业、半导体独立测试厂商

与半导体测试设备供应商。

全球、国内大厂积极布局 Chiplet 先进封装，共同推动封测产业发展。Chiplet 优势显著，提高对先进封装与测试需求，国内及全球 OSAT 厂、晶圆代工大厂积极布局支持 Chiplet 方案的先进封装，目前已取得初步成果。国内方面，长电科技 XDFOI 平台以 2.5D 无 TSV 为基本技术平台，并于 2023 年 1 月宣布，XDFOI Chiplet 高密度度多维异构集成系列工艺已按计划进入稳定量产阶段，基于利用有机重布线堆叠中介层可实现 2D/2.5D/3D 集成，并已实现国际客户 4nm 多芯片系统集成封装产品出货；通富微电与 AMD 合作紧密，利用次微米级硅中介层以 TSV 将多芯片整合于单一封装，已实现 7nm 量产，5nm 有望于 22H2 实现小规模试产；华天科技于 3 月 28 日晚间公告，公司全资子公司华天江苏拟投资 28.58 亿元，进行“高密度高可靠性先进封装研发及产业化”项目的建设。项目建成投产后形成 Bumping84 万片、WLCSP48 万片、超高密度扇出 UHDF0 2.6 万片的晶圆级集成电路年封测能力。

表 5：全球主要提供 Chiplet 封装厂商解决方案汇总

公司	平台/方案	技术类型	主要特点	目前公司可支持工艺节点
通富微电	VISionS	2.5D	1. 高密度扇出型封装平台，支持 6 层 RDL 2. 2.5D/3D 先进封装平台 BVR 技术实现通线，并已完成客户首批产品验证；2 层芯片堆叠的 CoW 技术完成技术验证	7nm 量产；5nm 已完成研发，有望于 22H2 小规模试产
长电科技	XDFOI	2.5D	以 2.5D 无 TSV 为基本技术平台，具备成本优势，可实现 2D/2.5D/3D 集成；封装体背后进行金属沉积，有效提高散热效率	4nm 稳定量产
台积电	3DFabric	——	将 2.5D/3D 先进封装相关技术整合为 3DFabric 平台；前段技术 3D SoIC 利用芯片间直接铜键合，具有更小间距；后段技术 2.5D 方面，CoWos 扩展至三种不同转接板技术，InFO 将封装凸块直接连接到再分配层	——
日月光	FOCoS	——	扇出封装 FC 排列于 BGA 上，具备 RDL 允许在多个芯片之间构建更短的 die-to-die 互连，能够实现封装内部多个 chiplet 互联	——

三星	X Cube	——	芯片互连方面使用成熟 TSV 工艺,目前能够将 SRAM 芯片堆叠在三星生产的 7nm EUV 工艺的逻辑芯片上	——
	I Cube	——	将一个或多个逻辑 die 和多个 HBM die 水平放置在硅中介层进行异构集成,支持增强热管理及稳定的电源供应	——

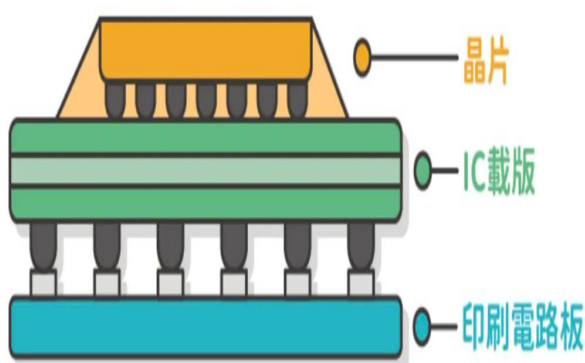
资料来源：公司官网，公司公告，东莞证券研究所

CIS 封测龙头积极扩张业务边界,强化业务布局。晶方科技最早于 2019 年 3 月出资 3,225 万欧元,收购荷兰公司 Anteryon 73%股权,2023 年 3 月 27 日晚间,晶方科技再次公告购买 Anteryon 6.61%股权,合计持股比例达 81.09%。Anteryon 为全球领先的光学设计与晶圆级光学镜头厂商,并为 ASML 提供光学平台和晶圆对位传感器。晶方科技作为全球 CIS 封测龙头,在晶圆级封装、TSV 等方面领先优势明显,此次通过增资 Anteryon 向光刻机领域进军,进一步扩张业务边界,且加强与原有封测业务协同,有利于企业中长期发展。

2.2 IC 载板是先进封装的关键材料,国产替代前景广阔

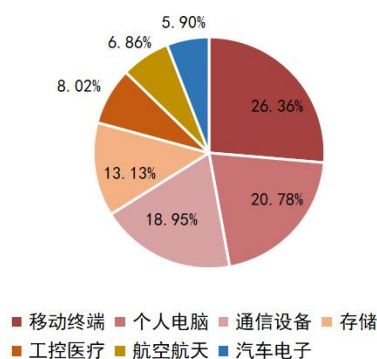
IC 载板是先进封装的关键材料,下游应用广泛。IC 封装基板 (IC Package Substrate, 又称 IC 载板) 是先进封装所采用的一种关键专用基础材料,它用于建立 IC 与 PCB 之间的信号连接,此外还起到保护、支撑、散热以及形成标准化的安装尺寸的作用。IC 载板作为一种高端 PCB 板,具有高密度、高精度、小型化和轻薄化的特点,广泛应用于移动终端、通信设备、服务/储存等下游应用领域。

图 21: IC 载板结构示意图



移动资料来源：digitimes，东莞证券研究所

图 22: IC 载板下游应用领域



资料来源：观研天下，东莞证券研究所

价值占比：IC 载板为半导体封装中价值量占比最大的耗材。半导体封装中所用耗材种类较多,包括封装基板、引线框架、键合线、封装树脂、陶瓷封装和芯片粘接等,其中封装基板占比最高,价值占比接近一半,连接线/键合线、引线框架、封装树脂和其他材料占比分别为 46%、13%、10%和 15%。

IC 载板行业壁垒高于普通 PCB 产品。IC 载板具有高精度、高密度、高性能、小型化及

轻薄化等特点，在各种技术参数上要求较高，尤其是最核心的线宽/线距参数要远小于其他种类 PCB 产品，因此具有较高的技术门槛；资金投入方面，相较其他 PCB 品类，IC 载板产线在投产前研发投入巨大且用时良久，在产线建设、后续运营等方面也需要巨大资金持续投入，尤其是需要巨额的设备采购支出；客户壁垒方面，IC 载板客户认证体系较普通 PCB 产品更严格，业内通常采用合格供应商认证制度，认证过程复杂且周期较长，由此可见，相比其他 PCB 品类，IC 载板具有更高的技术门槛、资金壁垒和客户认证壁垒。

ABF/BT 载板原材料被海外企业垄断，原料供应瓶颈制约行业产能扩张。按照封装材料不同，IC 载板可分为硬质基板、柔性基板和 IC 载板，硬质基板又可进一步分为 BT、ABF 和 MIS 载板。目前 ABF 载板与 BT 载板生产所需的重要原材料——ABF/BT 有机树脂被日本头部企业垄断，原材料供给较为紧缺。主要原材料的供应短板也制约了行业产能扩张，预计行业供不应求局面有望持续较长时间。

表 6：封装基板分类（按基板材料划分）

	基板材料	特性	优势	主要应用领域
硬质基板	BT	高耐热性、耐冲击、绝缘性、耐水性		MEMS、LED 芯片、通信
	ABF	适合细线路、高脚数、高传输 IC 载板	应用广泛，发展空间大	与内存芯片、CPU/GPU 等高端芯片；广泛应用于模拟、功率 IC、数字货币等市场领域
	MIS	通过电镀铜进行互联，以提供在封装过程中的电性连接		
柔性基板	PI、PE	在耐热性、细线化域薄型化等方面具有优势	重量轻、厚度薄、柔软可弯曲	多应用于消费电子/汽车电子等民用领域；运载火箭、巡航导弹与深海钻探等军事领域
陶瓷基板	氧化铝、氮化铝、碳化硅	耐热性、高绝缘、高强度、高载流能力	高散热、低热阻、寿命长、耐电压	运用于半导体照明、激光与光通信、航空航天、汽车电子与深海钻探等领域

资料来源：互联网，东莞证券研究所

行业竞争格局：日、韩、台份额绝对领先，大陆企业占比较低。从 IC 载板发展过程看，行业基本遵循“日本-韩国-中国台湾-中国大陆”的产业转移路径。目前全球 IC 载板产能集中在东亚地区，但由于我国在该领域起步较晚，目前日、韩、台企业仍占据行业主导地位，在技术储备、产能规模、收入与利润等方面全方位领先大陆厂商。据 Prismark 统计，全球 IC 载板前三大企业分别为台湾欣兴电子、日本揖斐电和韩国三星电机，行业市场份额高度集中，前十大厂商份额占比超过 80%。虽然大陆企业起步时间晚，且面临较高的行业壁垒，但受益于本土巨大的市场空间、产业配套和成本优势，叠加近年来全球半导体封测产业逐渐向中国大陆转移，有望直接拉动封装材料需求。日益旺盛的下游需求和稀缺的产能供给之间已形成较大缺口，本土以兴森、深南为代表企业积极推动封装基板扩产，以满足下游客户需求。

图 23：封装材料价值量占比

图 24 全球 IC 载板竞争格局

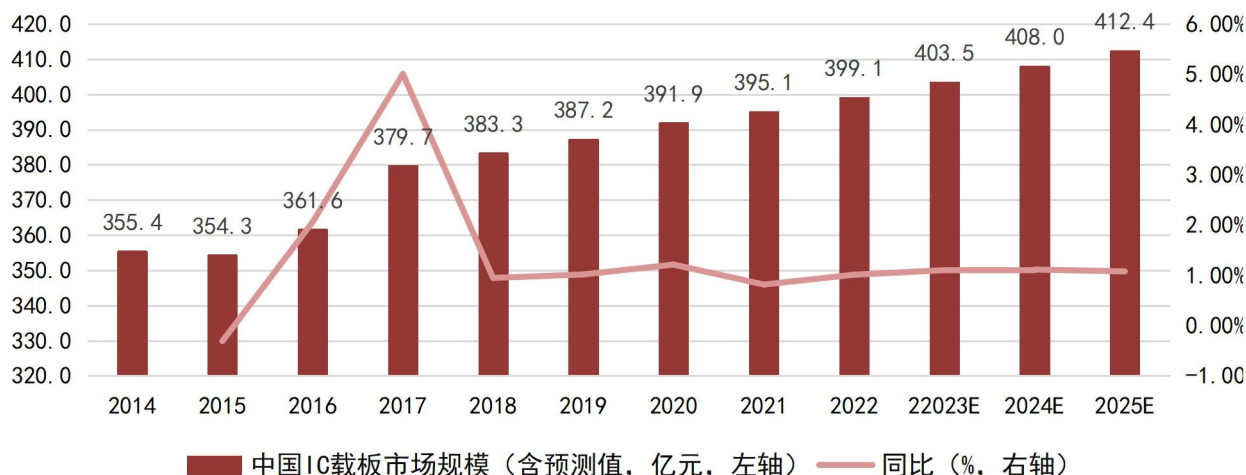


资料来源：中国产业信息网，东莞证券研究所

资料来源：Prismark，东莞证券研究所

先进封装拉动 IC 载板需求增长。IC 载板在高端封装领域已取代传统引线框架，成为封装过程中的必备材料。先进封装增加 IC 载板的层数，有效拉动行业增长，而 Chiplet 封装技术也大大增加了 ABF 载板的需求面积，带动 ABF 载板需求提升。据 Prismark 统计，2021 年全球 IC 封装基板行业规模达到 142 亿美元，同比增长近 40%，预计 2026 年将达到 214 亿美元（约 1474 亿元），2021-2026 年 IC 载板 CAGR 为 8.6%。国内方面，预计 2025 年国内 IC 载板市场规模将达到 412.4 亿元，占全球比重接近 30%。

图 25：2014-2025 年中国 IC 载板市场规模（亿元，含预测值）



资料来源：Omdia，东莞证券研究所

2.3 Chiplet 采用新型的 IP 复用模式，为半导体 IP 发展提供新机遇

半导体 IP 指预先设计好的功能模块。半导体 IP 是指集成电路设计中预先设计、验证好的功能模块，它位于 IC 设计上游，提供 SoC 所需的核心功能模块。在芯片设计的过程中，通过结合使用 EDA 软件和半导体 IP，能有效缩短的设计周期，降低开发成本。目前大部分芯片厂商采用外购+自主设计部分 IP 相结合的生产模式，并结合外购 EDA 工具进行独立芯片设计，因此 fabless 企业与 IDM 企业为半导体 IP 厂商的主要下游客户。

半导体 IP 在 IC 设计中起到不可或缺的作用。半导体 IP 具有性能高、功耗优、成本适中、技术密集度高、知识产权集中、商业价值昂贵等特征，是集成电路设计产业的核心产业要素和竞争力体现。随着芯片种类愈加丰富与先进制程不断推进，集成电路的设计流程愈发复杂，导致研发费用加大，半导体 IP 为简化 IC 设计流程提供便利，配合先进的 EDA 工具，IC 设计借助半导体 IP 实现了极大的便利。

Chiplet 开启新型 IP 复用模式，为半导体 IP 发展提供机遇。Chiplet 采取搭积木的方式，通过 3D 集成等先进集成技术将特定功能的芯片裸片集成在一起，从而形成一个系统芯片。Chiplet 开启了 IP 复用新模式，即硅片级别的 IP 复用；不同功能的 IP，如 CPU、存储器、模拟接口等，可灵活选择不同的工艺分别进行生产，从而可以灵活平衡计算性能与成本，实现功能模块的最优配置而不必受限于晶圆厂工艺；Chiplet 的发展演进，为 IP 供应商，尤其是具有芯片设计能力的 IP 供应商，拓展了商业灵活性和发展空间。目前 chiplet 已有少量商业应用，并吸引英特尔和 AMD 等国际芯片厂商投入相关研发，在当前 SOC 早于工艺节点和成本瓶颈的情况下有望发展成为一种新的芯片生态。

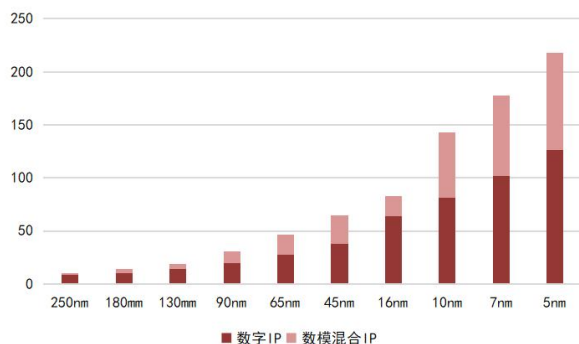
图 26：Chiplet 通过集成大量 IP 缩短研发周期，提升良率



资料来源：英特尔，东莞证券研究所

单个芯片可集成 IP 数量增加，半导体 IP 市场有望实现快速增长。随着先进制程的演进，线宽的缩小使得芯片中晶体管数量大幅提升，使得单颗芯片中可集成的 IP 数量也大幅增加。以 28nm 工艺节点为例，单颗芯片中已可集成的 IP 数量为 87 个，当工艺节点演进至 7nm 时，可集成的 IP 数量达到 178 个。单颗芯片可集成 IP 数量增多为更多 IP 在 SoC 中实现可复用提供新的空间，从而推动半导体 IP 市场进一步发展。据 IBS 数据显示，导体 IP 市场将从 2018 年的 46 亿美元增长至 2027 年的 101 亿美元，年均复合增长率为 9.13%。其中处理器 IP 市场预计在 2027 年达到 62.55 亿美元，2018 年为 26.20 亿美元，年均复合增长率为 10.15%；数模混合 IP 市场预计在 2027 年达到 13.32 亿美元，2018 年为 7.25 亿美元，年均复合增长率为 6.99%；射频 IP 市场预计在 2027 年达到 11.24 亿美元，2018 年为 5.42 亿美元，年均复合增长率为 8.44%。

图 27：不同工艺节点下芯片所集成的硬件 IP 数量（平图 28：全球半导体 IP 市场规模（单位：10 亿美元）均值）



资料来源：IBS，芯原股份招股说明书，东莞证券研究所

资料来源：IBS，芯原股份招股说明书，东莞证券研究所

芯原股份为国内半导体 IP 佼佼者，助力 Chiplet 技术发展。芯原股份为国内半导体 IP 龙头企业，主营业务包括一站式芯片定制服务与半导体 IP 授权服务，已向市场推出多款一站式芯片定制方案，致力于打造芯片一体化设计平台。公司在 IP 技术储备深厚，已加入 UCle 联盟并推出高端应用处理器平台，积极推动 Chiplet 相关技术发展，加快 Chiplet 产业化落地。。2022 年，公司实现营收 26.79 亿元，同比增长 25.23%，实现归母净利润 7,381.48 万元，同比增长 455.31%。在全球半导体景气下行的大背景下，得益于公司无产品库存风险、无应用领域边界的独特商业模式，以及逆产业周期的属性，报告期内公司业务实现快速发展，行业地位和市场竞争力不断提升。

3、投资策略

维持行业“超配”评级。Chiplet 为后摩尔时代提升芯片算力与集成度的重要途径，有望助力我国集成电路产业先进制程实现弯道超车，各大厂商积极布局。Chiplet 技术持续推进，先进封装、半导体测试、IC 载板与半导体 IP 等多环节受益，建议关注相关企业。

集成电路封测：长电科技（600584）、华天科技（002185）、通富微电（002156）、晶方科技（603005）；

集成电路测试设备：华峰测控（688200）、长川科技（300604）；

IC 载板：兴森科技（002436）、深南电路（002916）；

半导体 IP：芯原股份（688521）。

表 7：重点公司盈利预测及投资评级（截至 2023/3/29）

股票代码	股票名称	股价 (元)	EPS (元)			PE (倍)			评级	评级变动
			2021A	2022E	2023E	2021A	2022E	2023E		
600584.SH	长电科技	32.81	1.72	1.85	2.04	19.08	17.78	16.11	买入	首次
002185.SZ	华天科技	10.11	0.50	0.24	0.43	20.12	42.97	23.78	买入	维持
002156.SZ	通富微电	22.55	0.72	0.37	0.74	31.33	60.95	30.38	买入	维持
603005.SH	晶方科技	24.41	1.41	0.39	0.69	17.31	62.25	35.27	买入	维持
688200.SH	华峰测控	308.00	7.16	5.77	9.76	43.02	53.38	31.54	买入	维持
300604.SZ	长川科技	49.94	0.36	0.88	1.41	138.72	56.88	35.30	买入	维持

请务必阅读末页声明。

002436.SZ	兴森科技	12.84	0.42	0.36	0.45	30.57	35.69	28.34	买入	维持
002916.SZ	深南电路	92.12	3.01	3.22	4.55	30.60	28.61	20.25	买入	维持
688521.SH	芯原股份	97.33	0.03	0.15	0.50	3244.33	648.87	192.96	买入	首次

资料来源：Wind，东莞证券研究所

注：截至 3 月 29 日，华天科技、通富微电、华峰测控、深南电路和芯原股份已披露 2022 年年报或业绩快报，因此 EPS 采用 2022 年实际值，其他企业采用 Wind 一致预测值

4、风险提示

（1）Chiplet 推进不及预期的风险。Chiplet 作为当下较受关注的半导体发展方向，可有效降低能够降低芯片设计与制造的门槛，提升良率和节约成本，因此成为摩尔定律趋缓背景下提升芯片集成度与算力的重要途径，吸引各大厂商积极布局，OSAT、晶圆代工厂推进扩产。若扩产项目推进不及预期，或技术研发进度不及预期，则可能导致该技术渗透放缓；

（2）集成电路行业景气持续低迷的风险。目前全球集成电路行业仍处于下行周期，智能手机、笔电等电子终端销售低迷，厂家持续推进库存去化，存储芯片价格仍在探底。若下游需求不能有效改善导致行业景气持续低迷，则可能对行业内相关企业的业绩造成较大负面影响。

东莞证券研究报告评级体系：

公司投资评级	
买入	预计未来 6 个月内，股价表现强于市场指数 15%以上
增持	预计未来 6 个月内，股价表现强于市场指数 5%-15%之间
持有	预计未来 6 个月内，股价表现介于市场指数±5%之间
减持	预计未来 6 个月内，股价表现弱于市场指数 5%以上
无评级	因无法获取必要的资料，或者公司面临无法预见结果的重大不确定性事件，或者其他原因，导致无法给出明确的投资评级；股票不在常规研究覆盖范围之内
行业投资评级	
超配	预计未来 6 个月内，行业指数表现强于市场指数 10%以上
标配	预计未来 6 个月内，行业指数表现介于市场指数±10%之间
低配	预计未来 6 个月内，行业指数表现弱于市场指数 10%以上

说明：本评级体系的“市场指数”，A 股参照标的为沪深 300 指数；新三板参照标的为三板成指。

证券研究报告风险等级及适当性匹配关系	
低风险	宏观经济及政策、财经资讯、国债等方面的研究报告
中低风险	债券、货币市场基金、债券基金等方面的研究报告
中风险	主板股票及基金、可转债等方面的研究报告，市场策略研究报告
中高风险	创业板、科创板、北京证券交易所、新三板（含退市整理期）等板块的股票、基金、可转债等方面的研究报告，港股股票、基金研究报告以及非上市公司的研究报告
高风险	期货、期权等衍生品方面的研究报告

投资者与证券研究报告的适当性匹配关系：“保守型”投资者仅适合使用“低风险”级别的研报，“谨慎型”投资者仅适合使用风险级别不高于“中低风险”的研报，“稳健型”投资者仅适合使用风险级别不高于“中风险”的研报，“积极型”投资者仅适合使用风险级别不高于“中高风险”的研报，“激进型”投资者适合使用我司各类风险级别的研报。

证券分析师承诺：

本人具有中国证券业协会授予的证券投资咨询执业资格或相当的专业胜任能力，以勤勉的职业态度，独立、客观地在所知情的范围内出具本报告。本报告清晰准确地反映了本人的研究观点，不受本公司相关业务部门、证券发行人、上市公司、基金管理公司、资产管理公司等利益相关者的干涉和影响。本人保证与本报告所指的证券或投资标的无任何利害关系，没有利用发布本报告为自身及其利益相关者谋取不当利益，或者在发布证券研究报告前泄露证券研究报告的内容和观点。

声明：

东莞证券股份有限公司为全国综合性综合类证券公司，具备证券投资咨询业务资格。

本报告仅供东莞证券股份有限公司（以下简称“本公司”）的客户使用。本公司不会因接收人收到本报告而视其为客户。本报告所载资料及观点均为合规合法来源且被本公司认为可靠，但本公司对这些信息的准确性及完整性不作任何保证。本报告所载的资料、意见及推测仅反映本公司于发布本报告当日的判断，可随时更改。本报告所指的证券或投资标的的价格、价值及投资收入可跌可升。本公司可发出其它与本报告所载资料不一致及有不同结论的报告，亦可因使用不同假设和标准、采用不同观点和分析方法而与本公司其他业务部门或单位所给出的意见不同或者相反。在任何情况下，本报告所载的资料、工具、意见及推测只提供客户作参考之用，并不构成对任何人的投资建议。投资者需自主作出投资决策并自行承担投资风险，据此报告做出的任何投资决策与本公司和作者无关。在任何情况下，本公司不对任何人因使用本报告中的任何内容所引致的任何损失负任何责任，任何形式的分享证券投资收益或者分担证券投资损失的书面或口头承诺均为无效。本公司及其所属关联机构在法律许可的情况下可能会持有本报告中提及公司所发行的证券头寸并进行交易，还可能为这些公司提供或争取提供投资银行、经纪、资产管理等服务。本报告版权归东莞证券股份有限公司及相关内容提供方所有，未经本公司事先书面许可，任何人不得以任何形式翻版、复制、刊登。如引用、刊发，需注明本报告的机构来源、作者和发布日期，并提示使用本报告的风险，不得对本报告进行有悖原意的引用、删节和修改。未经授权刊载或者转发本证券研究报告的，应当承担相应的法律责任。

东莞证券股份有限公司研究所

广东省东莞市可园南路 1 号金源中心 24 楼

邮政编码：523000

电话：（0769）22115843

网址：www.dgzq.com.cn